

# Syst. Embarqués

Séance 2

JULIEN VILLEMEJANE

---

# *PREVIOUSLY...*

QU'AVEZ-VOUS RETENU SUR LE PLAN  
SCIENTIFIQUE / TECHNIQUE ?

→ **1 EXPRESSION**

---

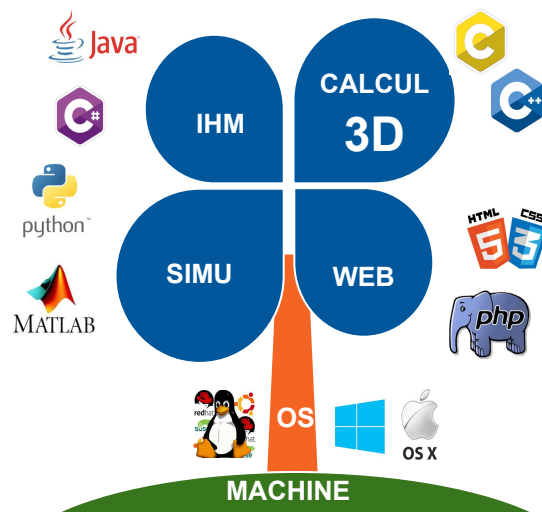
# *PREVIOUSLY...*

QU'AVEZ-VOUS RETENU SUR LE PLAN  
PÉDAGOGIQUE ?

→ **1 EXPRESSION**

# PREVIOUSLY...

## QU'AVEZ-VOUS RETENU SUR LE PLAN PÉDAGOGIQUE ?



# TODAY

- Pourquoi les portes logiques et le calcul binaire ?
- Exemples d'applications
  - Retour sur les structures
  - Choix d'une structure embarquée
- Mémoires / Données
  - Structure interne
  - Exemples
- Protocoles
  - Pourquoi ?
  - Quelques exemples

# TODAY

- Pourquoi les portes logiques et le calcul binaire ?
- Exemples d'applications
  - Retour sur les structures
  - Choix d'une structure embarquée
- Mémoires / Données
  - Structure interne
  - Exemples
- Protocoles
  - Pourquoi ?
  - Quelques exemples

- **QUELS SONT LES INTÉRÊTS DES TRAITEMENTS NUMÉRIQUES DE L'INFORMATION ?**

# Syst. Embarqués

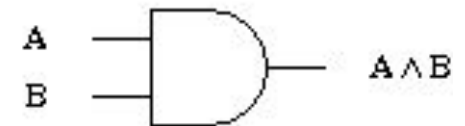
Portes logiques / Bascules  
Codage de l'information

JULIEN VILLEMEJANE

---

# LOGIQUE / NUMÉRIQUE

## PORTE ET

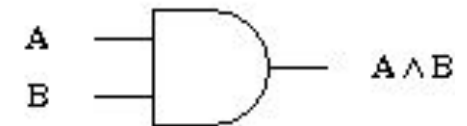
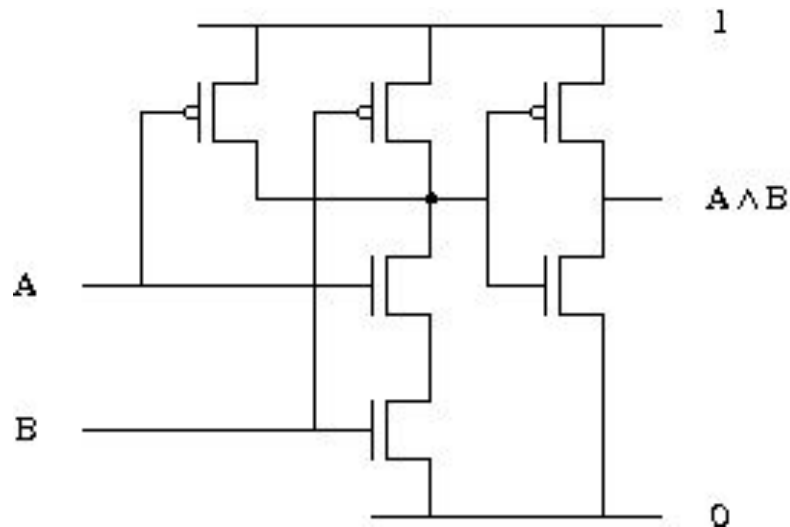


- Comment est-elle réalisée ?



# LOGIQUE / NUMÉRIQUE

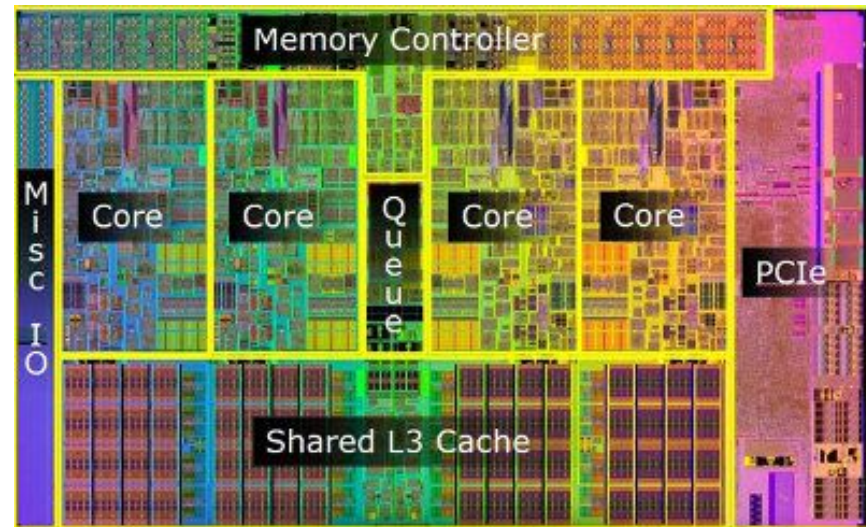
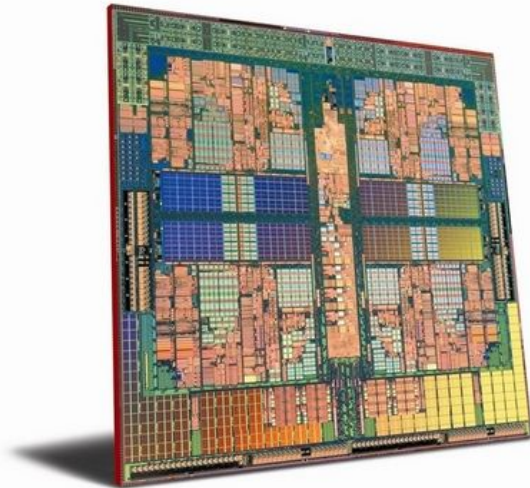
## PORTE ET



- Comment est-elle réalisée ?
- 6 transistors

# LOGIQUE / NUMÉRIQUE

## PROCESSEUR

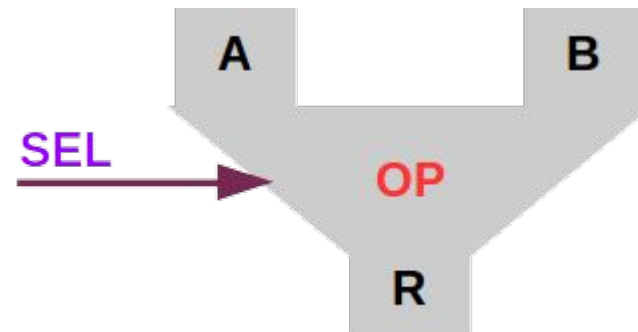


- 2G de transistors

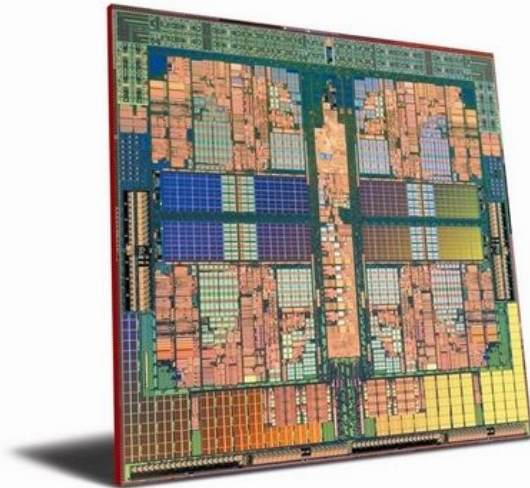
# LOGIQUE / NUMÉRIQUE

## PROCESSEUR

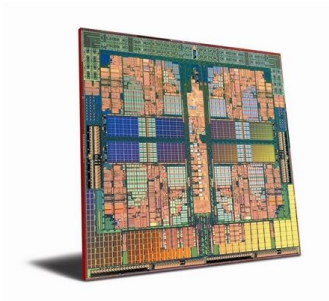
- Unité de calcul



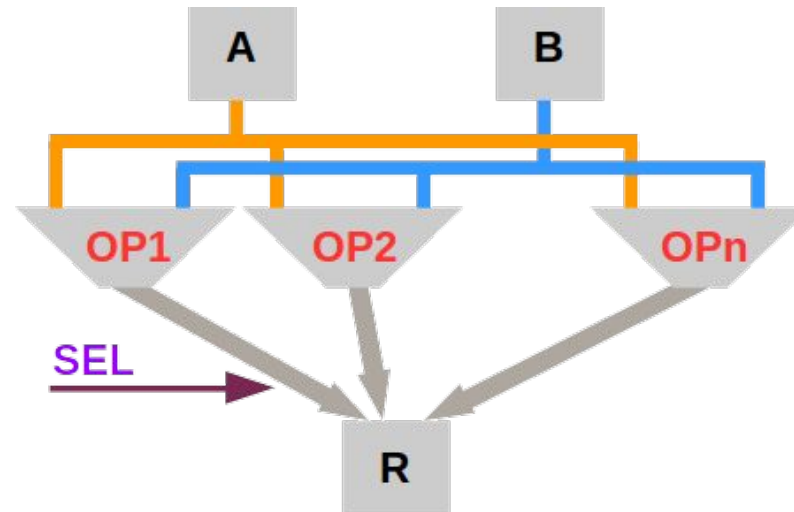
- 2G de transistors



# LOGIQUE / NUMÉRIQUE



## PROCESSEUR



## STRUCTURE CISC

- *Complex Instruction Set Computing*
- 2000 instructions différentes

- 2G de transistors

# LOGIQUE / NUMÉRIQUE

## PROCESSEUR

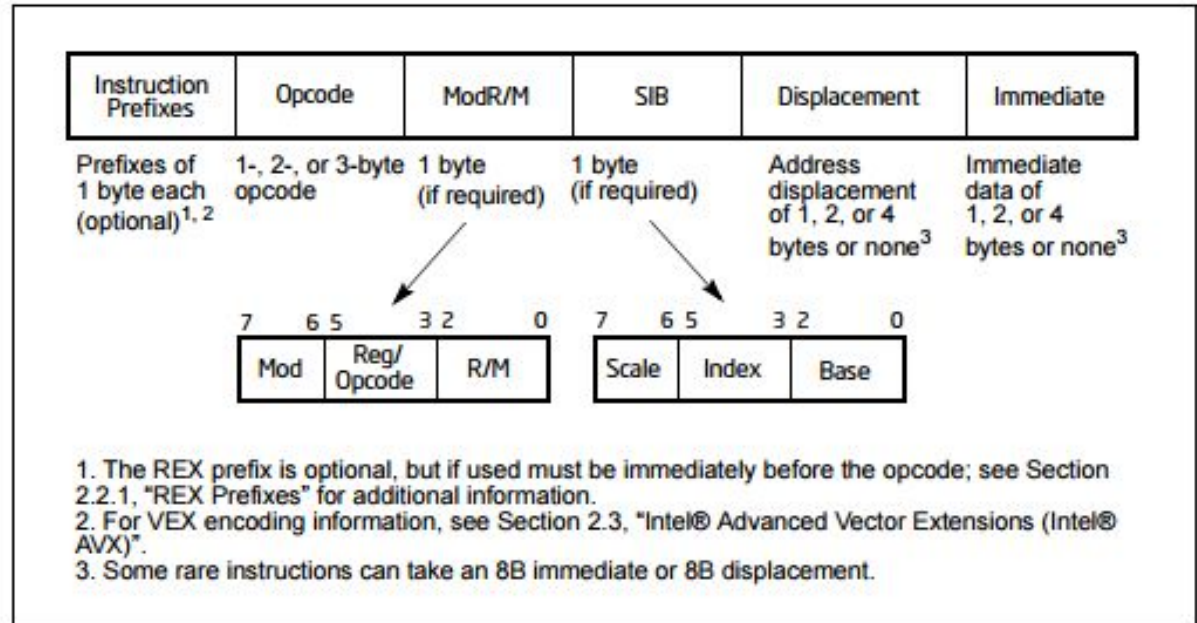
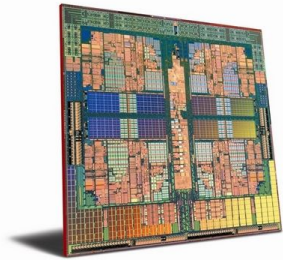


Figure 2-1. Intel 64 and IA-32 Architectures Instruction Format

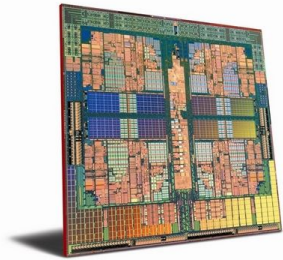
## STRUCTURE CISC

- Complex Instruction Set Computing
- 2000 instructions différentes



# LOGIQUE / NUMÉRIQUE

## PROCESSEUR



### ADD—Add

Opcode	Instruction	Op/En	64-bit Mode	Compat/Leg Mode	Description
04 <i>ib</i>	ADD AL, <i>imm8</i>	I	Valid	Valid	Add <i>imm8</i> to AL.
05 <i>iw</i>	ADD AX, <i>imm16</i>	I	Valid	Valid	Add <i>imm16</i> to AX.
05 <i>id</i>	ADD EAX, <i>imm32</i>	I	Valid	Valid	Add <i>imm32</i> to EAX.
REX.W + 05 <i>id</i>	ADD RAX, <i>imm32</i>	I	Valid	N.E.	Add <i>imm32 sign-extended to 64-bits</i> to RAX.
80 /0 <i>ib</i>	ADD r/m8, <i>imm8</i>	MI	Valid	Valid	Add <i>imm8</i> to r/m8.
REX + 80 /0 <i>ib</i>	ADD r/m8, <i>imm8</i>	MI	Valid	N.E.	Add <i>sign-extended imm8</i> to r/m64.

### Description

Adds the destination operand (first operand) and the source operand (second operand) and then stores the result in the destination operand. The destination operand can be a register or a memory location; the source operand can be an immediate, a register, or a memory location. (However, two memory operands cannot be used in one instruction.) When an immediate value is used as an operand, it is sign-extended to the length of the destination operand format.

## STRUCTURE CISC

- Complex Instruction Set Computing
- 2000 instructions différentes

### Operation

DEST ← DEST + SRC;

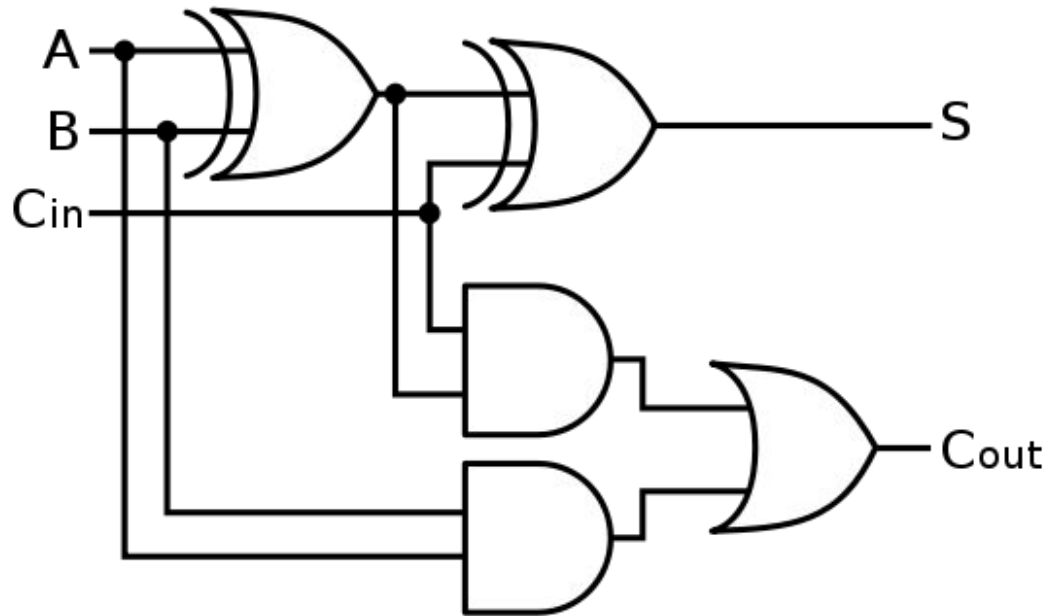
# LOGIQUE / NUMÉRIQUE

## ADDITION SUR 1 BIT

- Comment est-elle réalisée ?

# LOGIQUE / NUMÉRIQUE

## ADDITION SUR 1 BIT

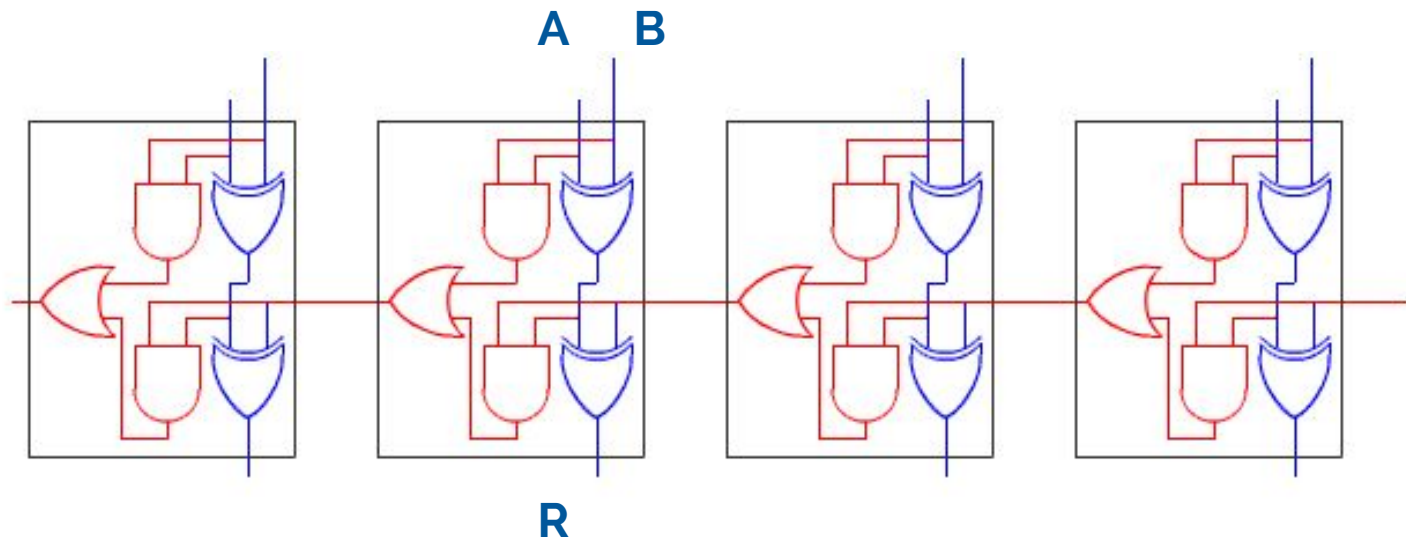


- ~6 transistors / porte
- 30 transistors / bit / instruction



# LOGIQUE / NUMÉRIQUE

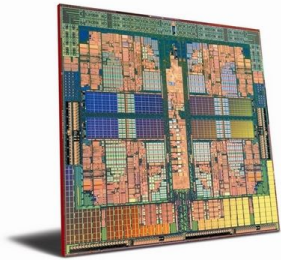
## ADDITION SUR 4 BITS



- ~6 transistors / porte
- 30 transistors / bit / instruction

# LOGIQUE / NUMÉRIQUE

## PROCESSEUR



### ADCX – Unsigned Integer Addition of Two Operands with Carry Flag

Opcode/ Instruction	Op/ En	64/32bit Mode Support	CPUID Feature Flag	Description
66 0F 38 F6 /r ADCX r32, r/m32	RM	V/V	ADX	Unsigned addition of r32 with CF, r/m32 to r32, writes CF.
66 REX.w 0F 38 F6 /r ADCX r64, r/m64	RM	V/NE	ADX	Unsigned addition of r64 with CF, r/m64 to r64, writes CF.

## STRUCTURE CISC

- Complex Instruction Set Computing
- 2000 instructions différentes
- 64 bits / opérande

### Operation

IF OperandSize is 64-bit

THEN CF:DEST[63:0] ← DEST[63:0] + SRC[63:0] + CF;  
ELSE CF:DEST[31:0] ← DEST[31:0] + SRC[31:0] + CF;

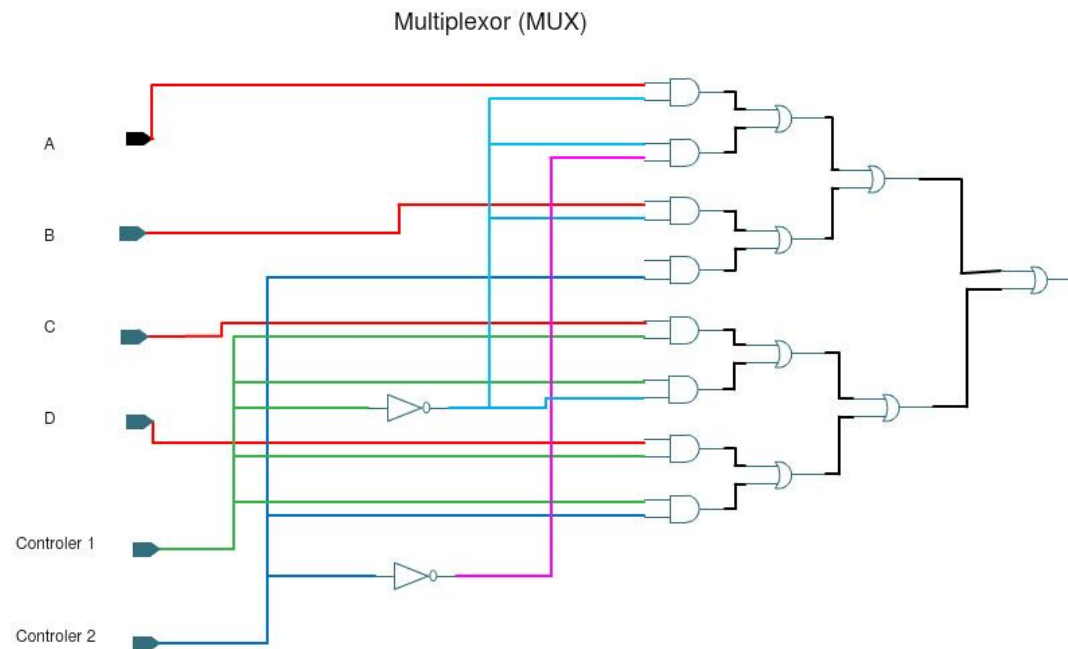
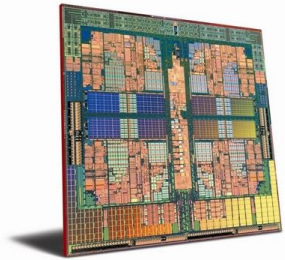
FI;

- 30 transistors / bit / instruction
- 2000 x 30 x 64 = 3 M transistors

# LOGIQUE / NUMÉRIQUE

## PROCESSEUR

- Unité de calcul
- Unité de contrôle



# LOGIQUE / NUMÉRIQUE

## PROCESSEUR

- Unité de calcul
- Unité de contrôle

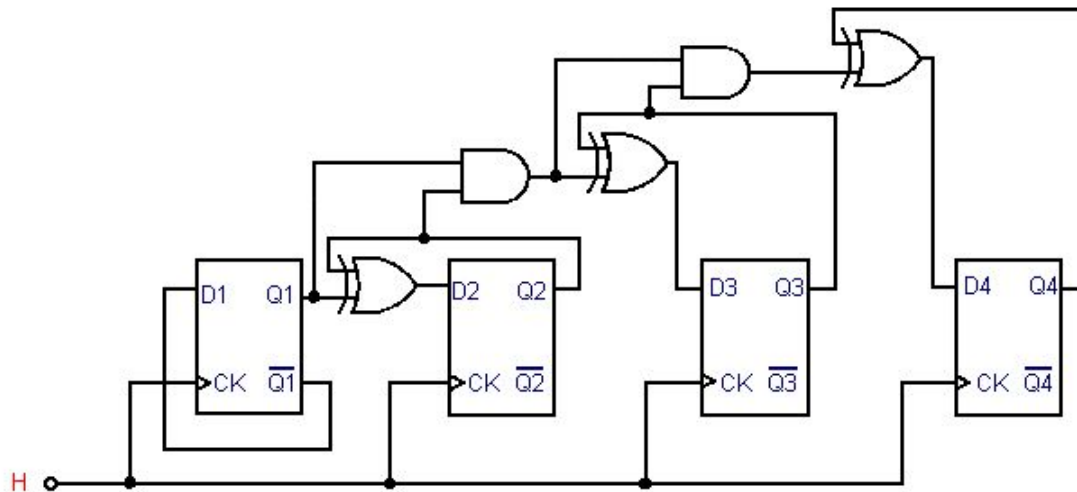
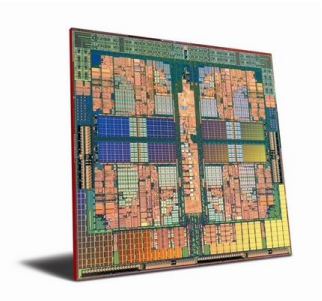


Fig. 25. - Compteur synchrone modulo 16.

- Et les bascules dans tout ça ??

# LOGIQUE / NUMÉRIQUE

## PROCESSEUR

- Unité de calcul
- Unité de contrôle
- Mémoire Cache
- Exécution séquentielle

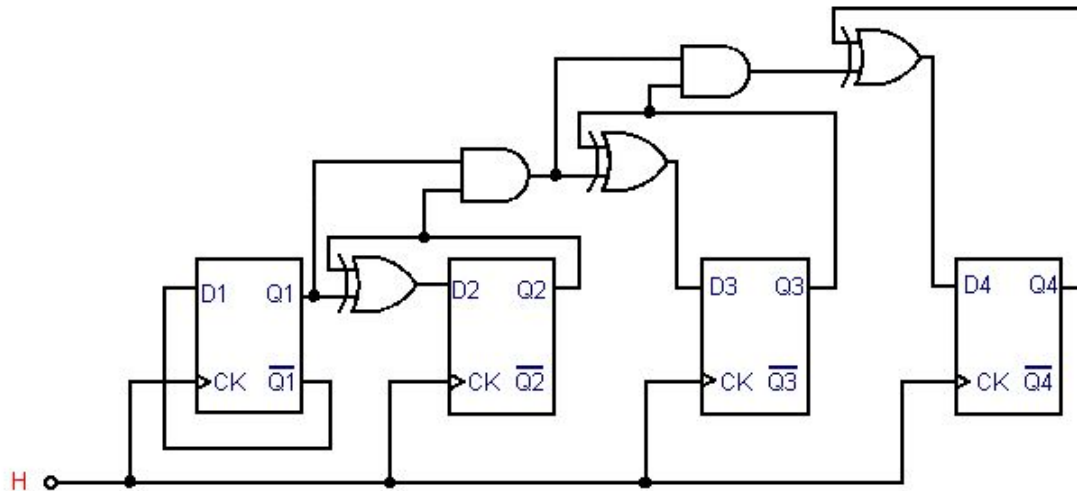
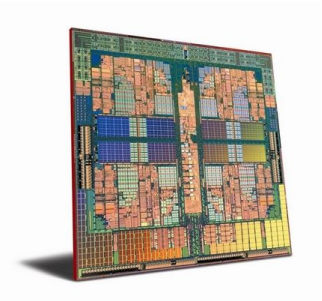


Fig. 25. - Compteur synchrone modulo 16.

---

# CODAGE DES INFORMATIONS

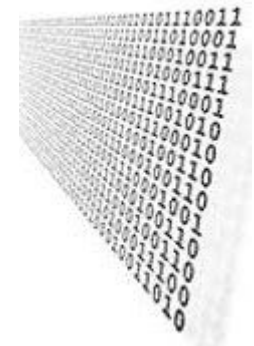
QUELLES INFORMATIONS ?

---

# CODAGE DES INFORMATIONS

## QUELLES INFORMATIONS ?

- une **instruction**, qui représente une opération réalisée par un organe de calcul (un microprocesseur par exemple) ;
- une **donnée** :
  - ▶ non numérique (caractère alphanumérique) ;
  - ▶ numérique :
    - entiers naturels (0 ; 1 ; 315 ...)
    - entiers relatifs (-1578 ; -15 ; -1 ...)
    - réels (3.1415 ; 4587.598 ...)



---

# CODAGE DES INFORMATIONS

## QUELLES INFORMATIONS ?

- une **instruction**, qui représente une opération réalisée par un organe de calcul (un microprocesseur par exemple) ;
- une **donnée** :
  - ▶ non numérique (caractère alphanumérique) ;
  - ▶ numérique :
    - entiers naturels (0 ; 1 ; 315 ...)
    - entiers relatifs (-1578 ; -15 ; -1 ...)
    - réels (3.1415 ; 4587.598 ...)



## POURQUOI ?



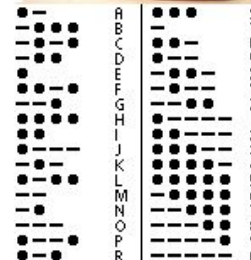
# CODAGE DES INFORMATIONS

## QUELLES INFORMATIONS ?

- une **instruction**, qui représente une opération réalisée par un organe de calcul (un microprocesseur par exemple) ;
- une **donnée** :
  - ▶ non numérique (caractère alphanumérique) ;
  - ▶ numérique :
    - entiers naturels (0 ; 1 ; 315 ...)
    - entiers relatifs (-1578 ; -15 ; -1 ...)
    - réels (3.1415 ; 4587.598 ...)



## POURQUOI ?



# CODAGE DES INFORMATIONS

	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	'	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	{
1100	FF	FS	,	i	L	\	l	—
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	.	¿	N	^	n	~
1111	SI	US	/	?	O	-	o	DEL

# CODAGE DES INFORMATIONS

## CODAGE ASCII

- Codage des caractères anglo-saxons sur 7 bits

	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	'	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	{
1100	FF	FS	,	i	L	\	l	—
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	.	?	N	^		
1111	SI	US	/	?	O	-		

0C00	0C7F	Télougou
0C80	0CFF	Kannara
0D00	0D7F	Malayalam
0D80	0DFF	Singhalais
0E00	0E7F	Thai
0E80	0EFF	Lao
0F00	0FFF	Tibétain
1000	109F	Birman

## CODAGE UNICODE (UTF-32)

- Codage de 136.690 caractères (norme 10.0)

# CODAGE DES INFORMATIONS

## CODAGE DES ENTIERS

- Base 10 = 10 symboles

DÉCIMAL	
RANG	RANG
10	1
	0
	1
	2
	3
	4
	5
	6
	7
	8
	9
10	0

	Centaine		Dizaine		Unité
345 =	3	+	4	+	5
	x		x		x
Rang	$10^2$		$10^1$		$10^0$

# CODAGE DES INFORMATIONS

## CODAGE DES ENTIERS

- Base 10 = 10 symboles

	Centaine		Dizaine		Unité
$345 =$	3	+	4	+	5
	x		x		x
Rang	$10^2$		$10^1$		$10^0$

- Base 2 = 2 symboles

$1001 =$	1	+	0	+	0	+	1
	x		x		x		x
Rang	$2^3$		$2^2$		$2^1$		$2^0$
Puissance	3		2		1		0

BINAIRE				DÉCIMAL	
BANG	BANG	BANG	BANG	BANG	BANG
8	4	2	1	10	1
			0		0
			1		1
		1	0		2
		1	1		3
	1	0	0		4
	1	0	1		5
	1	1	0		6
	1	1	1		7
1	0	0	0		8
1	0	0	1		9
1	0	1	0		10

# CODAGE DES INFORMATIONS

## CODAGE DES ENTIERS

BINAIRE				DÉCIMAL	
BANG	BANG	BANG	BANG	BANG	BANG
8	4	2	1	10	1
			0		0
			1		1
		1	0		2
		1	1		3
	1	0	0		4
	1	0	1		5
	1	1	0		6
	1	1	1		7
1	0	0	0		8
1	0	0	1		9
1	0	1	0		10

- Base 10 = 10 symboles

	Centaine		Dizaine		Unité
345 =	3	+	4	+	5
	x		x		x
Rang	$10^2$		$10^1$		$10^0$

- Base 2 = 2 symboles

1001 =	1	+	0	+	0	+	1
	x		x		x		x
Rang	$2^3$		$2^2$		$2^1$		$2^0$
Puissance	3		2		1		0

- Base 16 = 16 symboles

- Simplification de l'écriture des nombres binaires



# CODAGE DES INFORMATIONS

## CODAGE DES ENTIERS NATURELS

BINAIRE				DÉCIMAL	
RANG	RANG	RANG	RANG	RANG	RANG
8	4	2	1	10	1
			0		0
			1		1
		10			2
		11			3
	100				4
	101				5
	110				6
	111				7
1000					8
1001					9
1010					10

- Base 10 = 10 symboles

	Centaine		Dizaine		Unité
345 =	3	+	4	+	5
	x		x		x
Rang	$10^2$		$10^1$		$10^0$

- Base 2 = 2 symboles

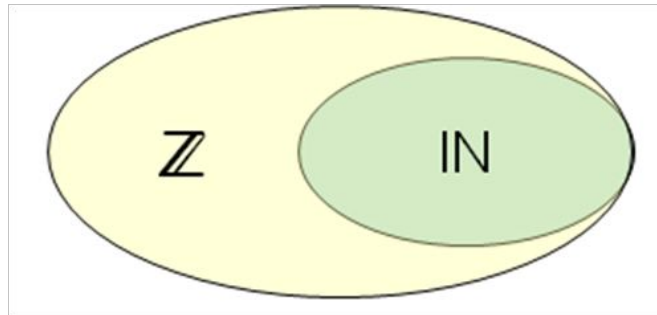
1001 =	1	+	0	+	0	+	1
	x		x		x		x
Rang	$2^3$		$2^2$		$2^1$		$2^0$
Puissance	3		2		1		0

- Base 16 = 16 symboles
  - Simplification de l'écriture des nombres binaires

---

# CODAGE DES INFORMATIONS

## CODAGE DES ENTIERS RELATIFS



- Comment faire ???

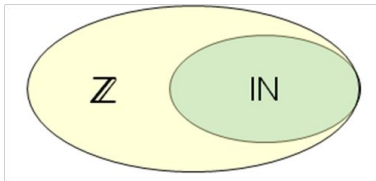


---

# CODAGE DES INFORMATIONS

## CODAGE DES ENTIERS RELATIFS

- Base 10 = 10 symboles + 1 signe devant le poids fort

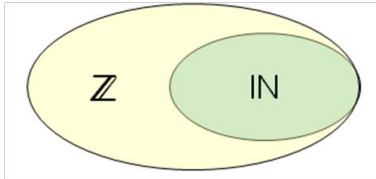


---

# CODAGE DES INFORMATIONS

## CODAGE DES ENTIERS RELATIFS

- Base 10 = 10 symboles + 1 signe devant le poids fort
- Base 2
  - 1 symbole supplémentaire pour le signe :
    - 0 : positif
    - 1 : négatif
  - Problème de cette méthode ?

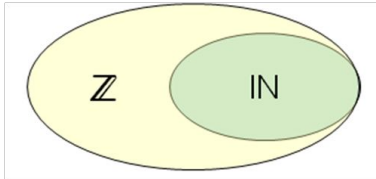


---

# CODAGE DES INFORMATIONS

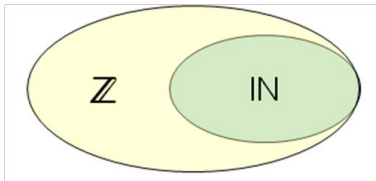
## CODAGE DES ENTIERS RELATIFS

- Base 10 = 10 symboles + 1 signe devant le poids fort
- Base 2
  - 1 symbole supplémentaire pour le signe :
    - 0 : positif
    - 1 : négatif
  - Problème de cette méthode ?
- Base 2 : complément à 2
  - Permet d'utiliser l'addition comme avec les entiers naturels



# CODAGE DES INFORMATIONS

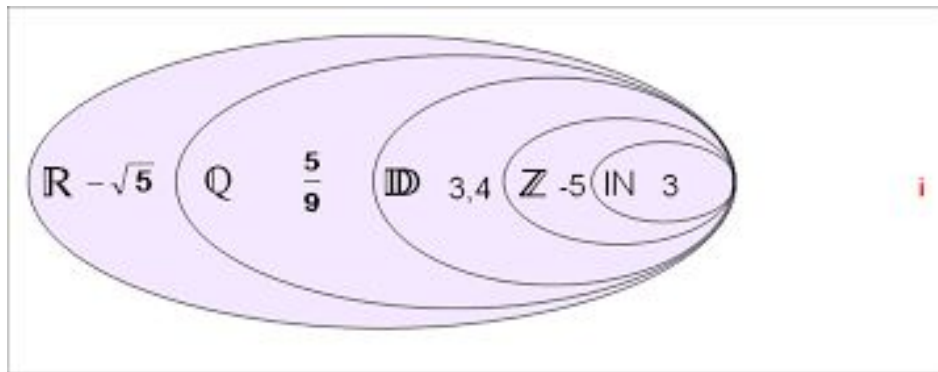
## CODAGE DES ENTIERS RELATIFS



- Base 10 = 10 symboles + 1 signe devant le poids fort
- Base 2
  - 1 symbole supplémentaire pour le signe :
    - 0 : positif
    - 1 : négatif
  - Problème de cette méthode ?
- Base 2 : complément à 2
  - Permet d'utiliser l'addition comme avec les entiers naturels
  - si  $n \geq 0$  (nombres de 0 à  $2^{p-1} - 1$ ), le code est strictement le code binaire naturel étendu à  $p$  bits (en complétant à gauche par des 0). Le bit de poids fort est égal à 0.
  - si  $n < 0$  (nombres de  $-2^{p-1}$  à  $-1$ ) :
    - ① coder  $|n|$  en binaire en complétant à gauche par des 0 pour obtenir un code sur  $p$  bits ;
    - ② inverser tous les bits de la représentation binaire (**complément à un** ou C1) ;
    - ③ ajouter 1 au résultat (**complément à deux** ou C2)

# CODAGE DES INFORMATIONS

## CODAGE DES NOMBRES RÉELS

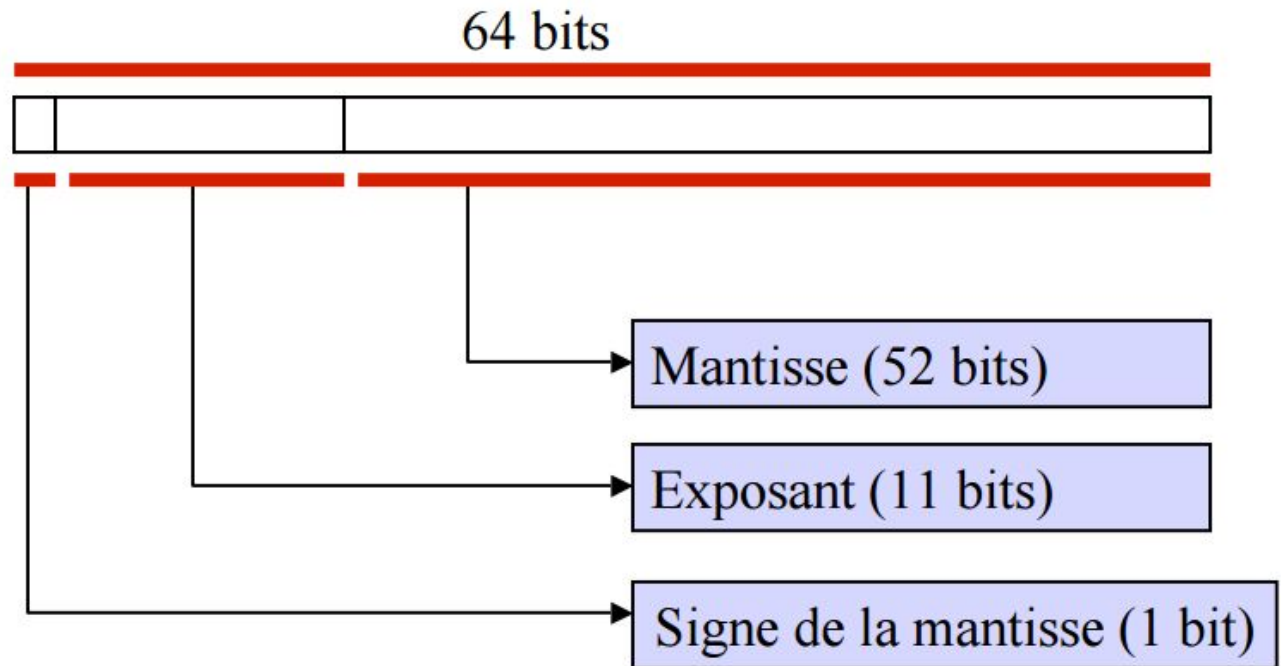


- Comment faire ???

# CODAGE DES INFORMATIONS

## CODAGE DES NOMBRES RÉELS

$$X = \pm 1, M \cdot 2^e \quad (\text{norme IEEE 754})$$

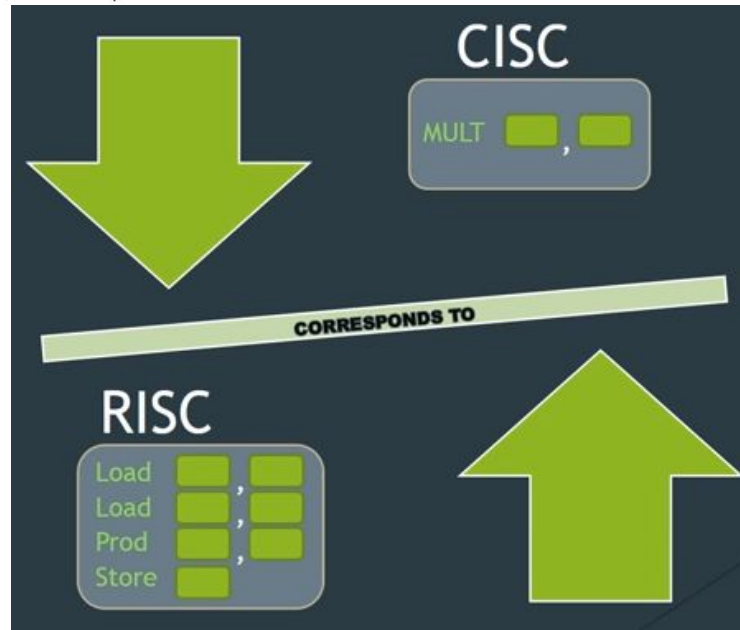


# CISC vs RISC

## ADCX – Unsigned Integer Addition of Two Operands with Carry Flag

Opcode/ Instruction	Op/ En	64/32bit Mode Support	CPUID Feature Flag	Description
66 0F 38 F6 /r ADCX r32, r/m32	RM	V/V	ADX	Unsigned addition of r32 with CF, r/m32 to r32, writes CF.
66 REX.w 0F 38 F6 /r ADCX r64, r/m64	RM	V/NE	ADX	Unsigned addition of r64 with CF, r/m64 to r64, writes CF.

INTEL 64 bits



PIC 16F

Mnemonic, Operands	Description	Cycles	14-Bit Opcode	Status
<b>ADDWF</b> f, d	Add W and f	1	00 0111 dfff ffff	C,DC,Z
<b>ANDWF</b> f, d	AND W with f	1	00 0101 dfff ffff	Z

# CISC vs RISC

## ETUDE DE MARCHÉ / RISC

MARKET BY REGION 2016-2024

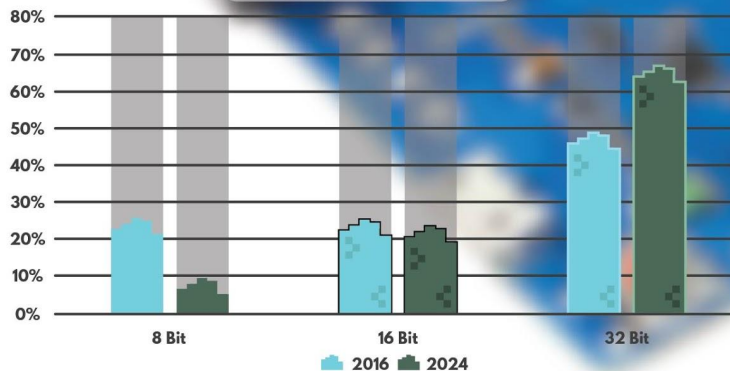


### GLOBAL IOT MICROCONTROLLER MARKET FORECAST (2017-2024)

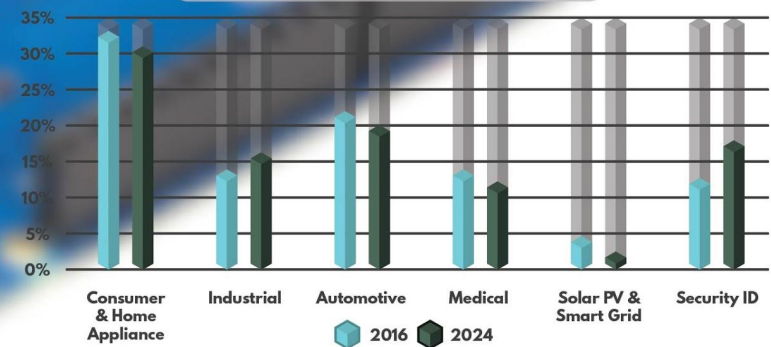
TOP COMPANIES

- ATMEL •
- FUJITSU •
- INFINEON •
- MICROCHIP •
- SAMSUNG •

MARKET BY TYPE



MARKET BY APPLICATION

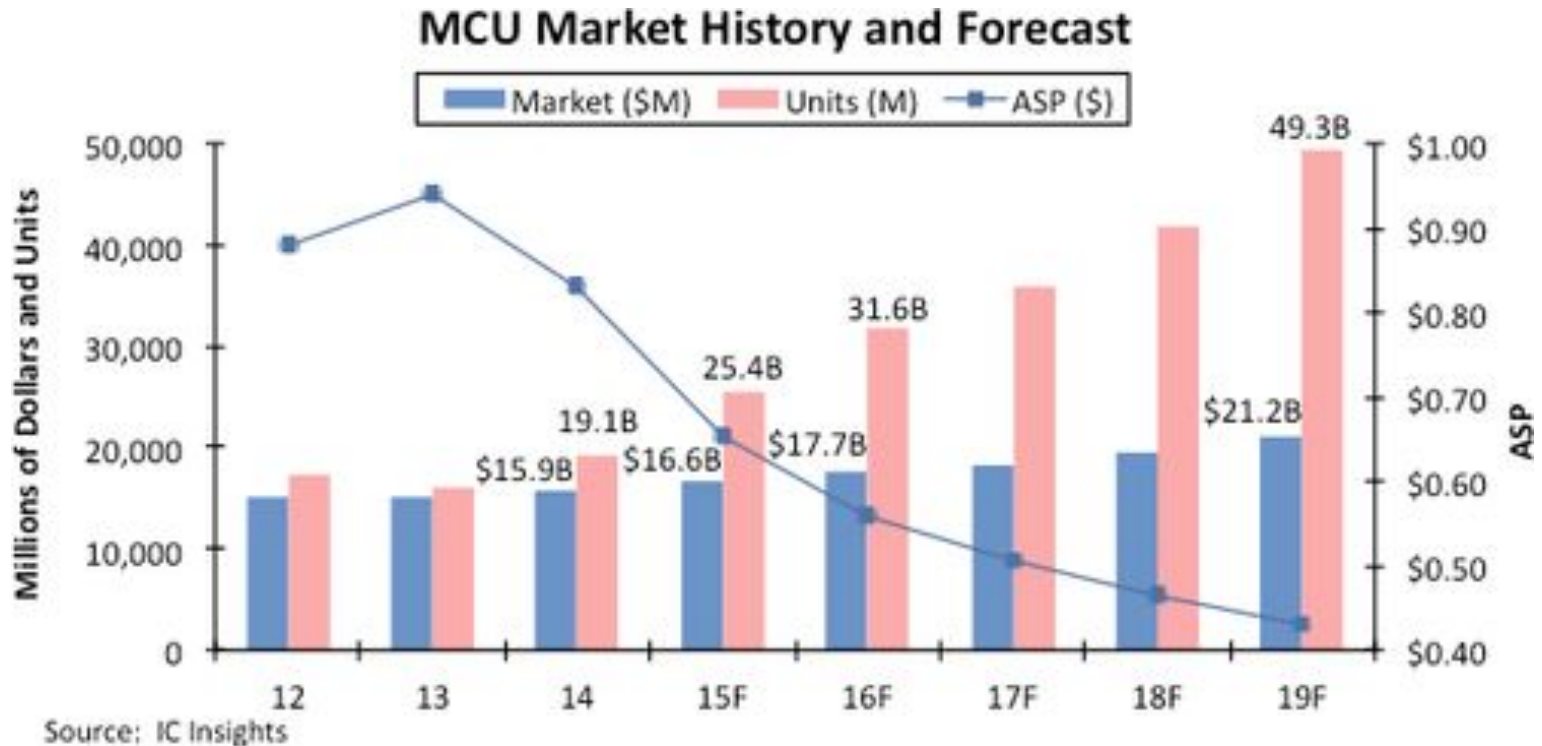


www.inkwoodresearch.com



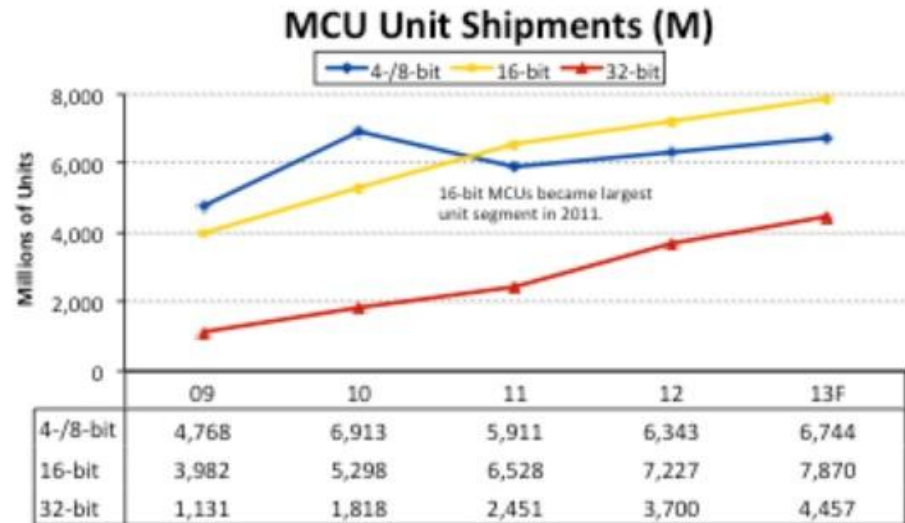
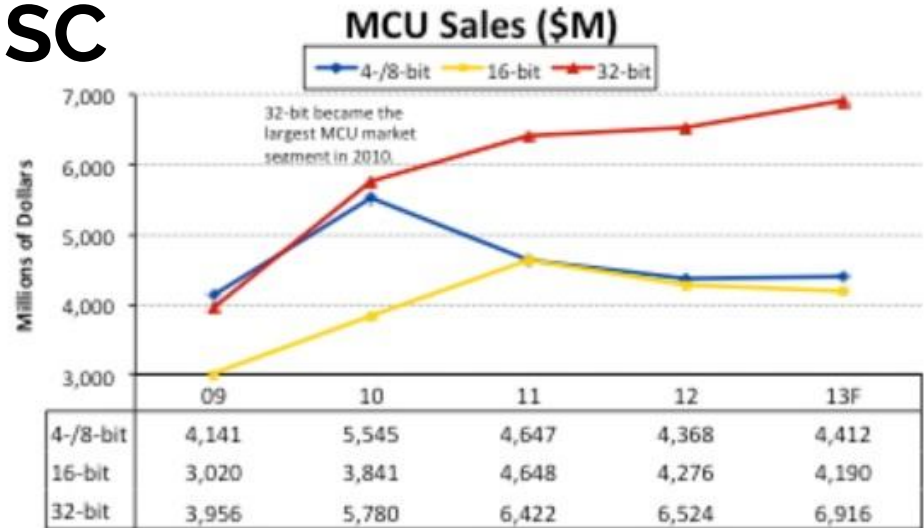
# CISC vs RISC

## ETUDE DE MARCHÉ / RISC



# CISC vs RISC

## ETUDE DE MARCHÉ / RISC



Source: IC Insights

# CISC vs RISC

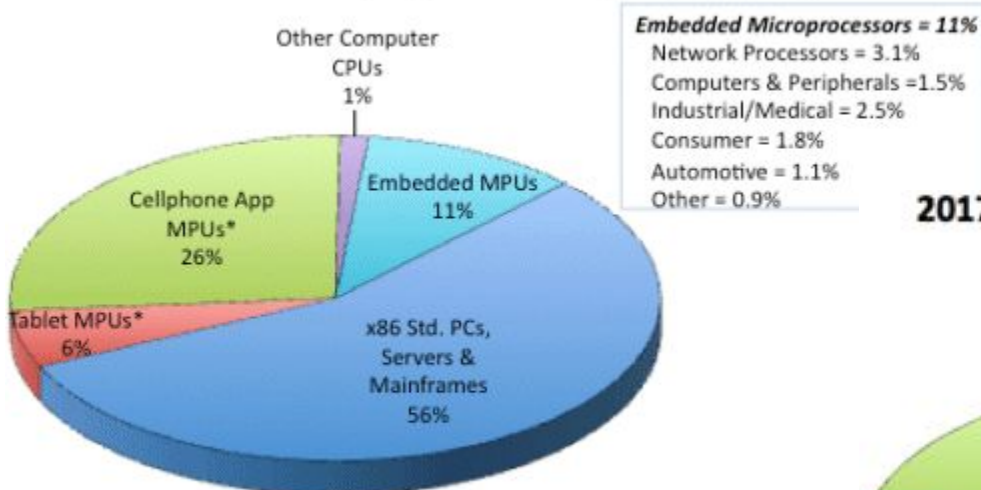
## ETUDE DE MARCHÉ / RISC / CONSTRUCTEURS

Company	2011 Rank	2011 \$M	2011 Share	2010 Rank	2010 \$M	2010 Share	Y/Y %
Renesas Electronics	1	2,624	17.30%	1	2,649	17.90%	-1%
Freescale Semiconductor	2	1,538	10.10%	2	1,484	10.00%	4%
Atmel	3	1,114	7.40%	5	895	6.00%	25%
Microchip Technology	4	1,010	6.70%	4	956	6.50%	6%
Infineon Technologies	5	1,007	6.60%	6	857	5.80%	18%
Texas Instruments	6	838	5.50%	7	809	5.50%	4%
Fujitsu	7	834	5.50%	3	1,000	6.80%	-17%
NXP Semiconductors	8	721	4.80%	8	733	5.00%	-2%
STMicroelectronics	9	661	4.40%	9	680	4.60%	-3%
Samsung	10	510	3.40%	10	515	3.50%	-1%
Others		4,298	28.40%		4,222	28.50%	2%
<b>Total</b>		<b>15,155</b>			<b>14,799</b>		<b>2%</b>

# CISC vs RISC

## ETUDE DE MARCHÉ / MPU by APPLICATIONS

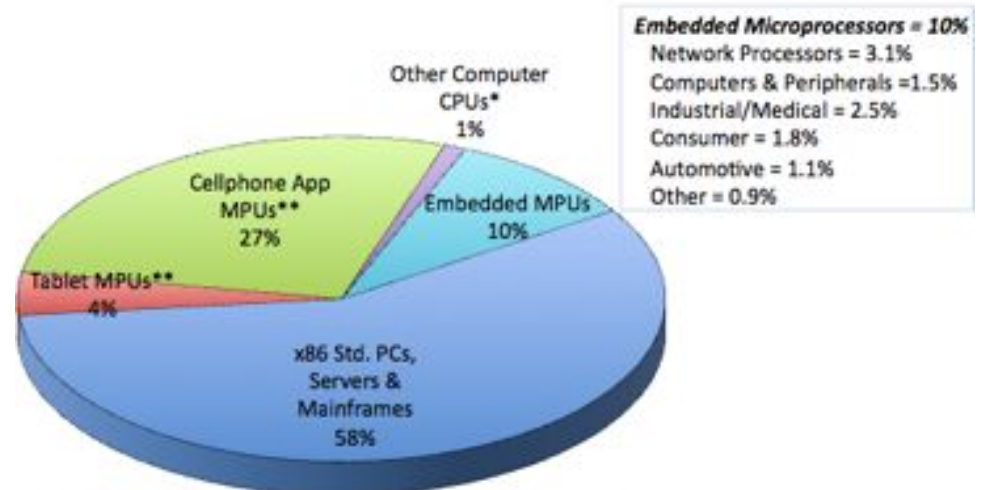
2013 MPU Sales by Applications (Fcst, \$61.0B)



\*Includes ARM-based and x86 processors.

Source: IC Insights

2017 MPU Sales by Applications (Fcst, \$66.6B)



\*Covers ARM and other RISC MPUs in servers and workstations.

\*\*Includes ARM and x86 mobile application processors.

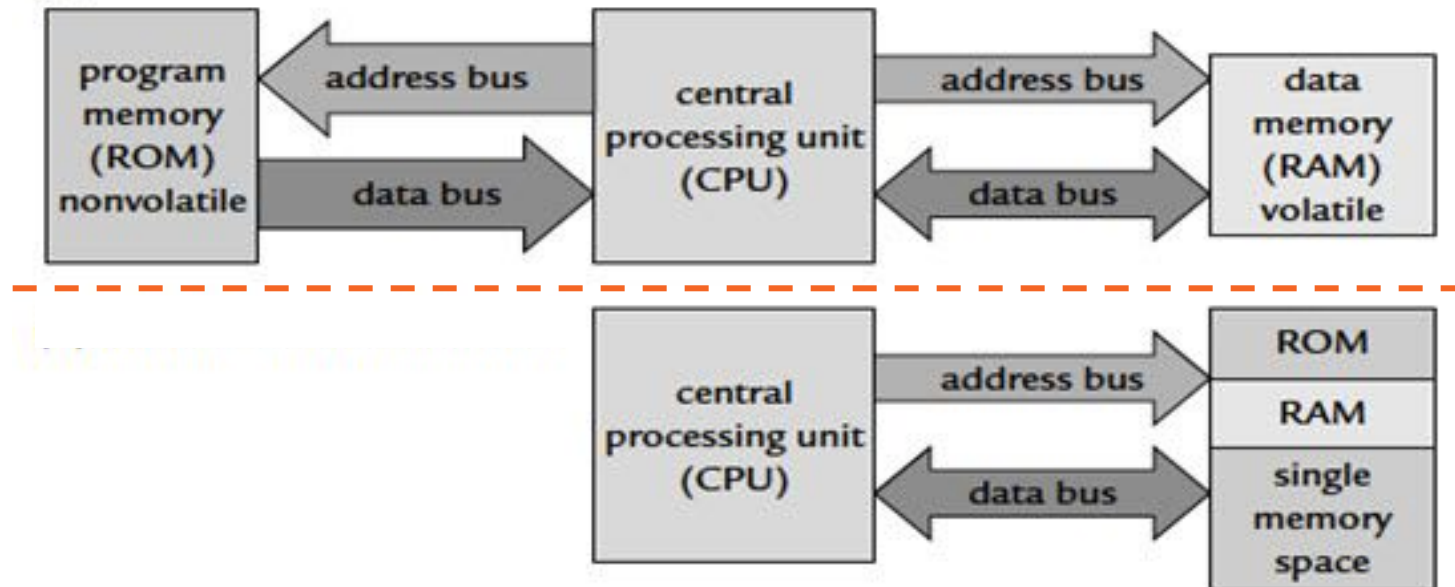
Source: IC Insights

# CISC vs RISC

## ETUDE DE MARCHÉ / FPGA

Vendor	2015		2016		
	FPGA Total	Market share	FPGA Total	Market share	Growth CY15-CY16
Xilinx	\$2,044	53%	\$2,167	53%	6%
Intel (Altera)	\$1,389	36%	\$1,486	36%	7%
Microsemi	\$301	8%	\$297	7%	-1%
Lattice	\$124	3%	\$144	3%	16%
QuickLogic	\$19	0%	\$11	0%	-40%
Others	\$2	0%	\$2	0%	0%
<b>TOTAL</b>	<b>\$3,879</b>	<b>100%</b>	<b>\$4,112</b>	<b>100%</b>	<b>6%</b>

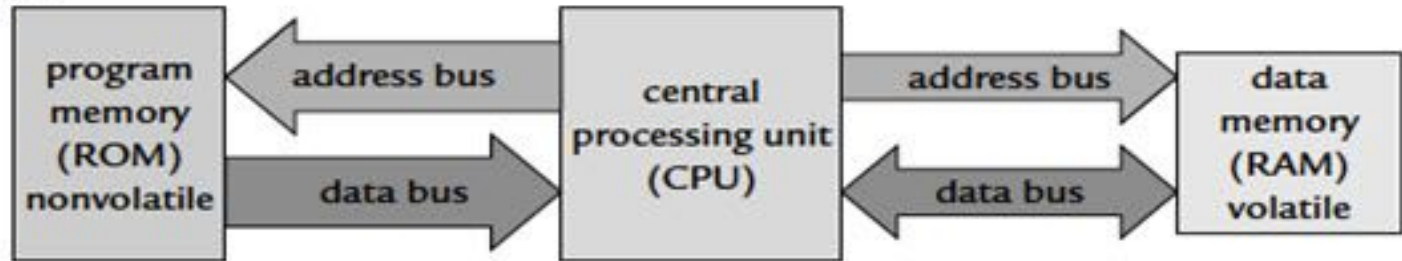
# VON NEUMAN vs HARVARD



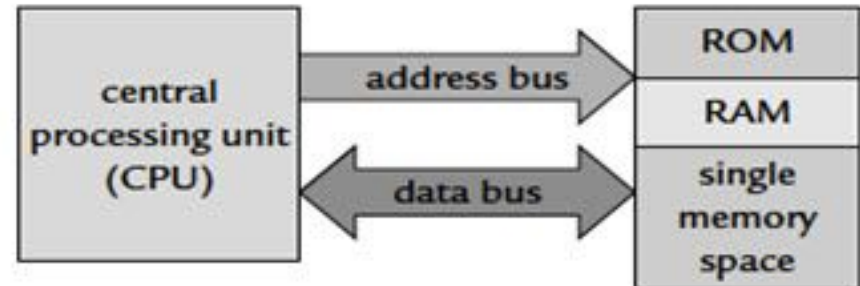


# VON NEUMAN vs HARVARD

(a) Harvard architecture

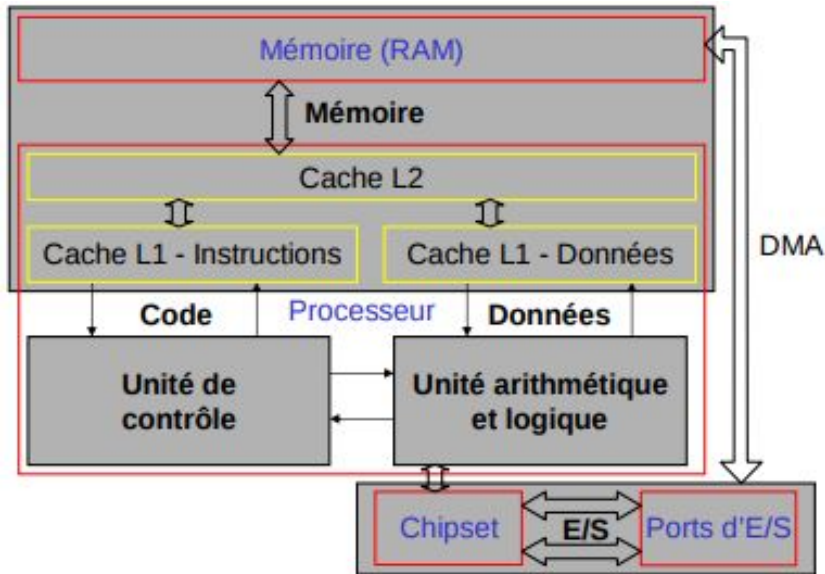


(b) von Neumann architecture

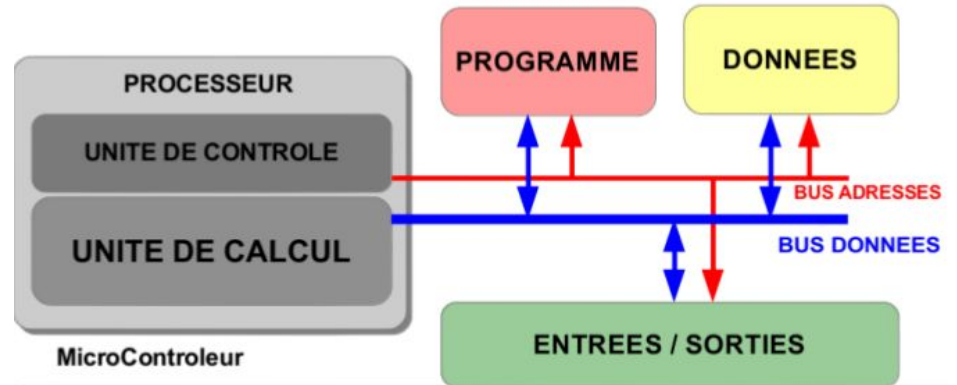


# VON NEUMAN vs HARVARD

## SUR UN PC



## SUR UN MICROCONTRÔLEUR





# Syst. Embarqués

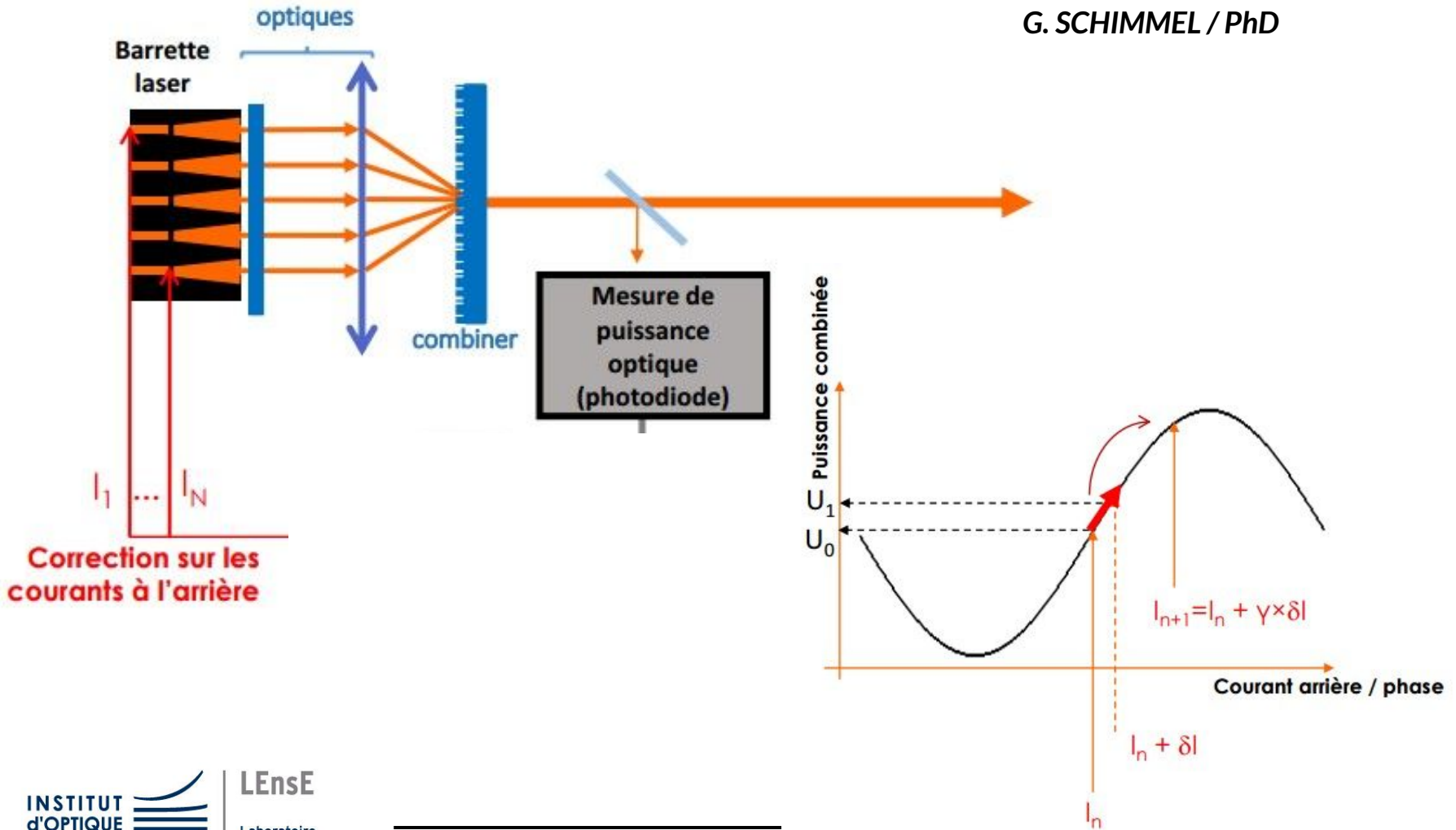
## Quelques applications

JULIEN VILLEMEJANE

# EXP. SCIENTIFIQUES / PhD

- Gaëlle Lucas-Leclin / Groupe LASER / LCF

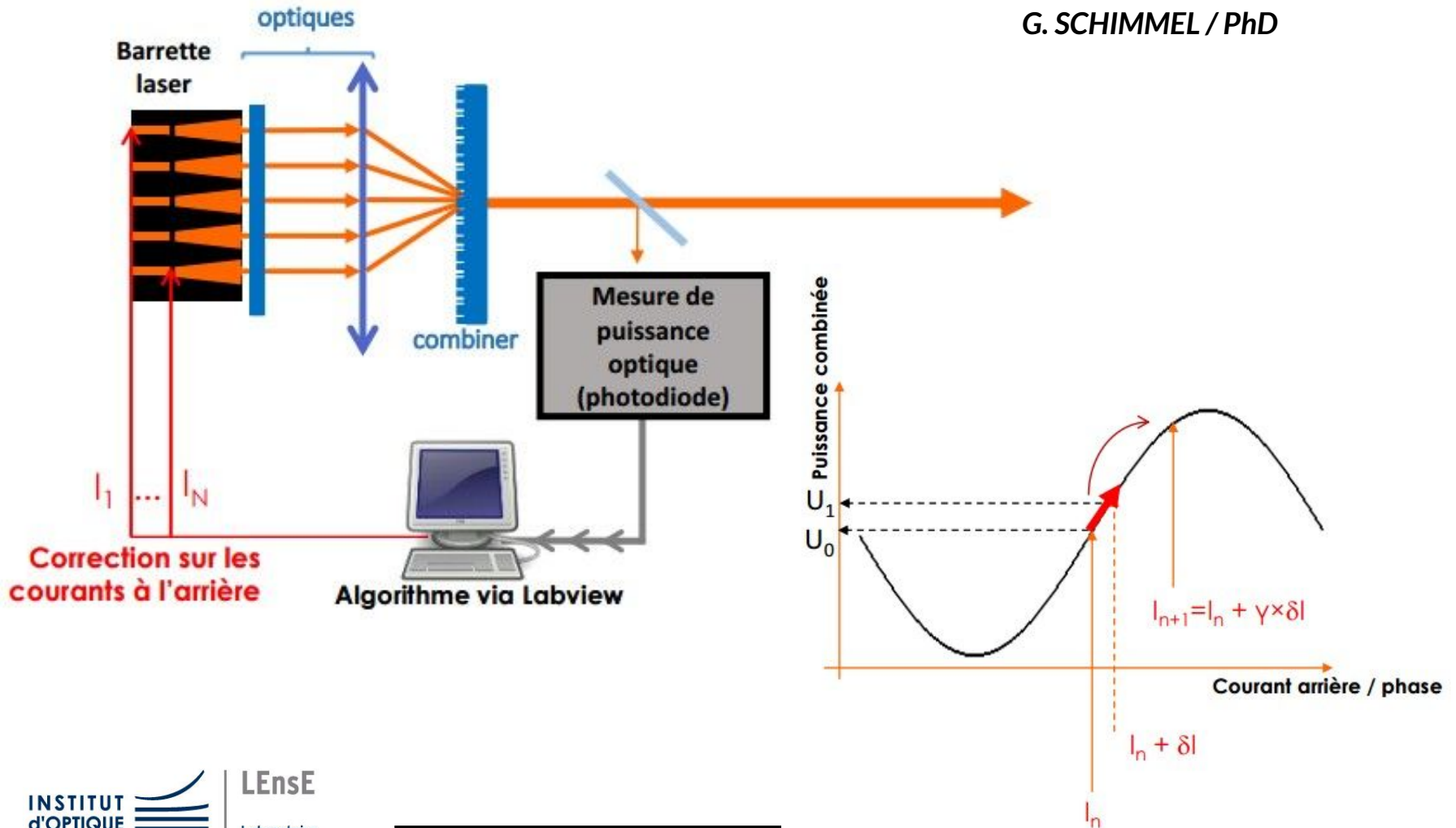
G. SCHIMMEL / PhD



# EXP. SCIENTIFIQUES / PhD

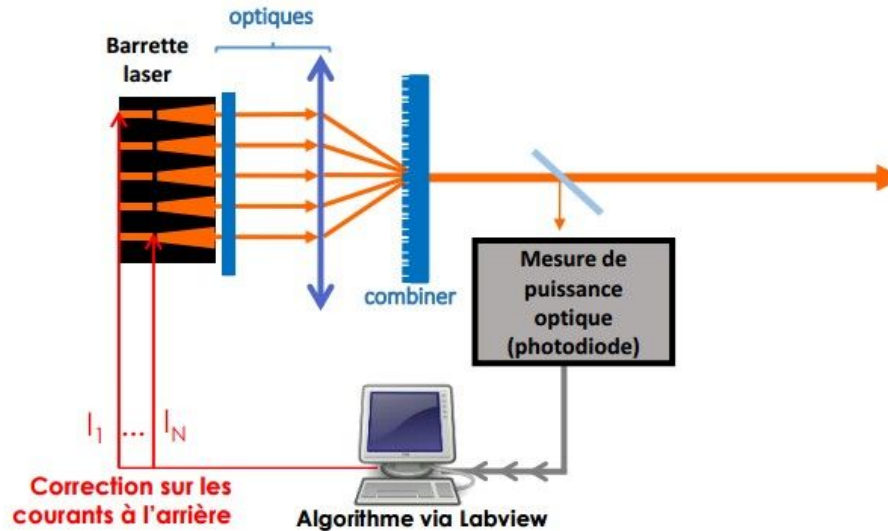
- Gaëlle Lucas-Leclin / Groupe LASER / LCF

G. SCHIMMEL / PhD



# EXP. SCIENTIFIQUES / PhD

- Gaëlle Lucas-Leclin / Groupe LASER / LCF



## SOLUTION RETENUE

- Carte Acquisition
- LabView

## PROBLÈMES RENCONTRÉS

- Asservissement lent (30 Hz)
- Coût : carte + licence

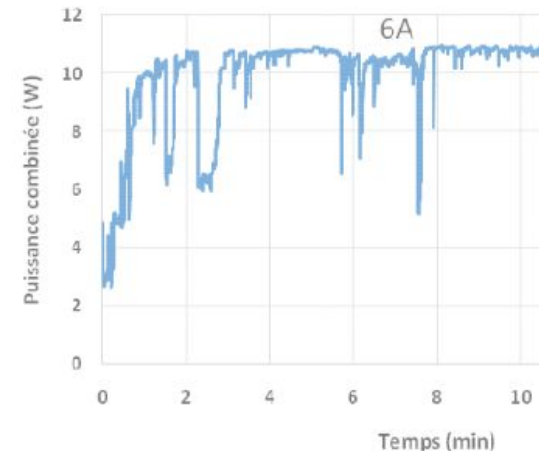
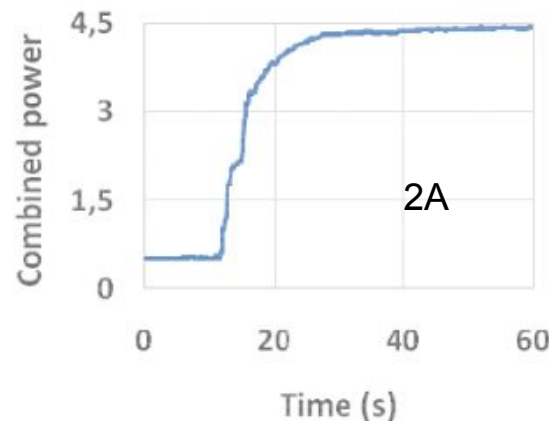
Environ 3000 €

CONTRÔLER

MESURER

PILOTER

ACQUÉRIR



# EXP. SCIENTIFIQUES / PhD

- Gaëlle Lucas-Leclin / Groupe LASER / LCF

M. NOTARANGELO / DUT GEII

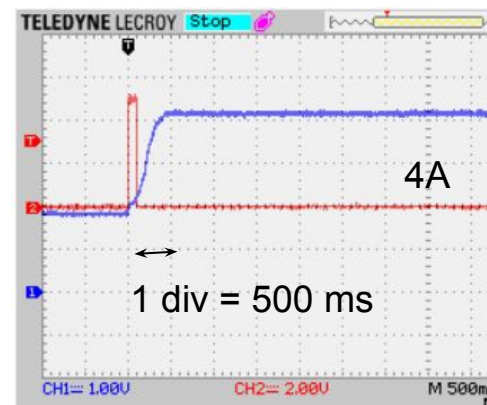
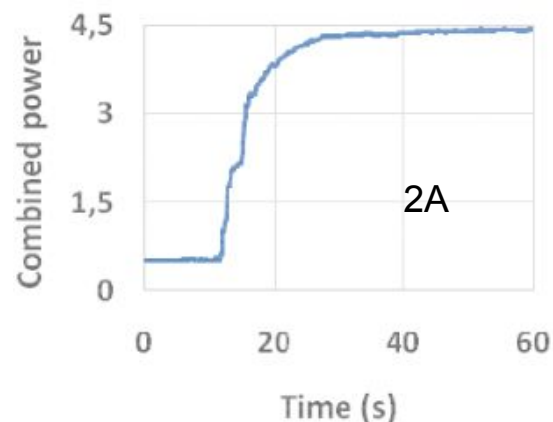
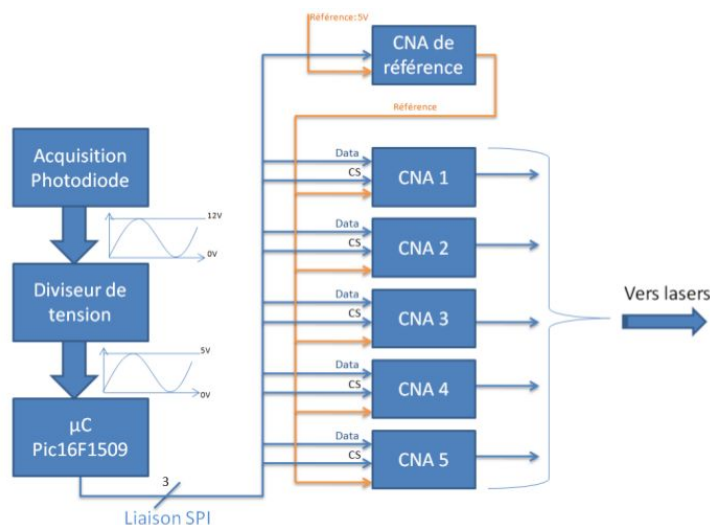
## SOLUTION PROPOSÉE

- Microcontrôleur
- Carte "maison"

## AMELIORATIONS

- Asservissement plus rapide - 1 kHz
- Coût réduit

Environ 500 €  
(stagiaire inclus)



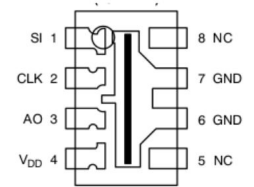
CONTRÔLER

MESURER

PILOTER

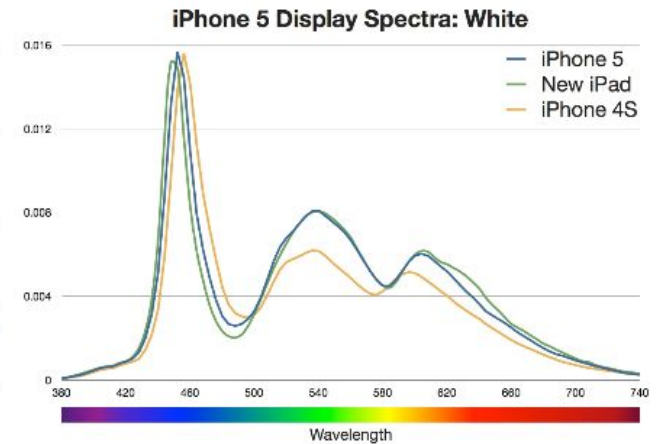
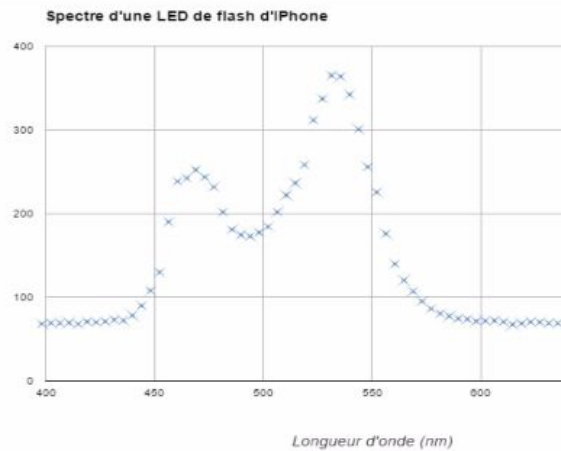
ACQUÉRIR

# PROJETS S6

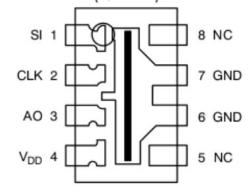
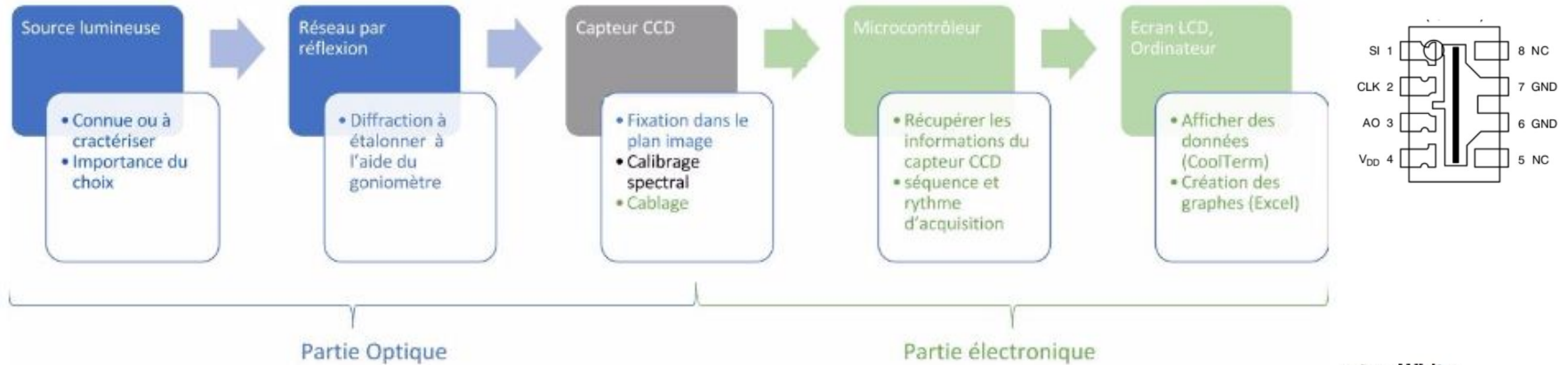


## SPECTRO CCD

Solène BARDIN  
 Olympe CORBLET  
 Xavier DUMOULIN  
 Célia PELLUET

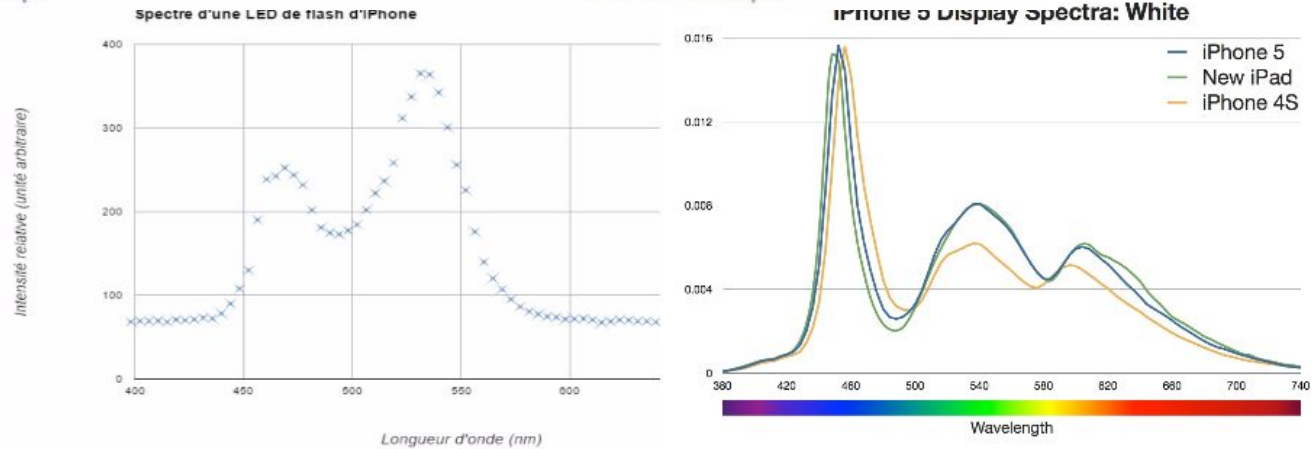


# PROJETS S6



## SPECTRO CCD

Solène BARDIN  
Olympe CORBLET  
Xavier DUMOULIN  
Célia PELLUET



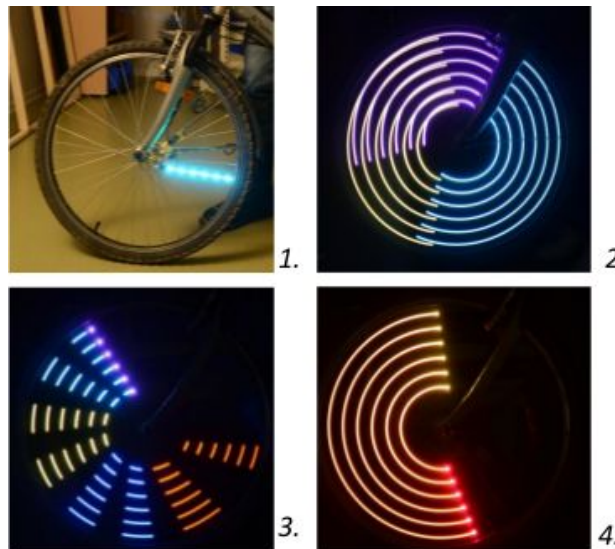
## MICROCONTROLEUR

---

# EXEMPLE DE PROJETS

## PIMP UR RIDE

Bertille GHESQUIERE  
Louis VALLET  
Faustine VON NAKEL  
Florian WORME





# EXEMPLE DE PROJETS

## PIMP UR RIDE

Bertille GHESQUIERE  
Louis VALLET  
Faustine VON NAKEL  
Florian WORME



1.



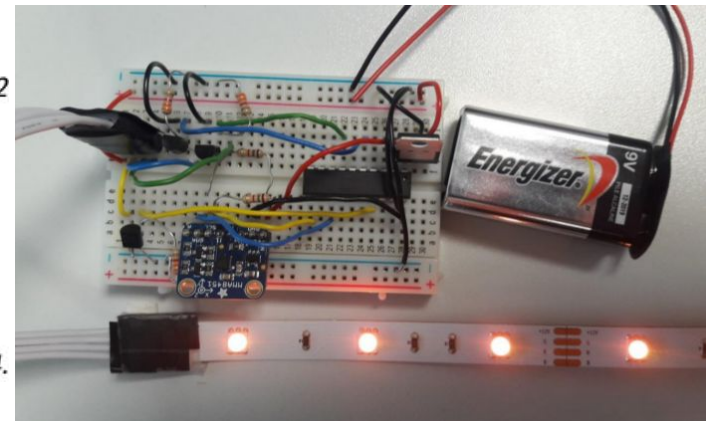
2.



3.



4.



## MICROCONTROLEUR

# AFFICHAGE DE SCORES



G.	1	2	3	4	5	6	7	8	9	10	Tot.	
gre	0	7	2	7	2	3	6	3	5	7	0	44
alal	4	1	8	7	7	0	0	9	6	2	1	4
isab	7	0	1	0	0	0	0	0	0	0	0	9
vale	1	1	7	5	7	1	X	X	8	7		76
valerie	1	2	9	14	22	50	68	76				

# AFFICHAGE DE SCORES

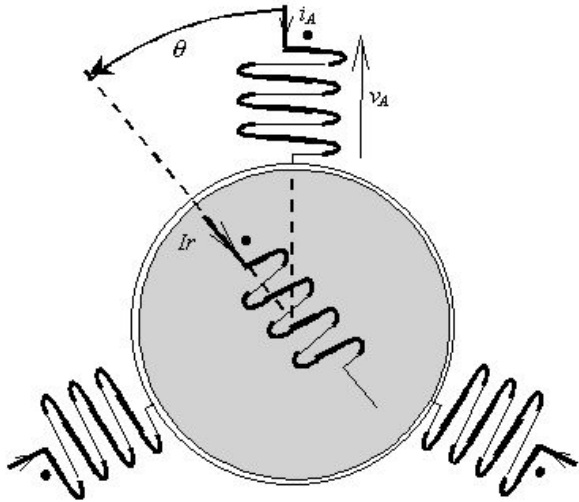


MICROCONTROLEUR

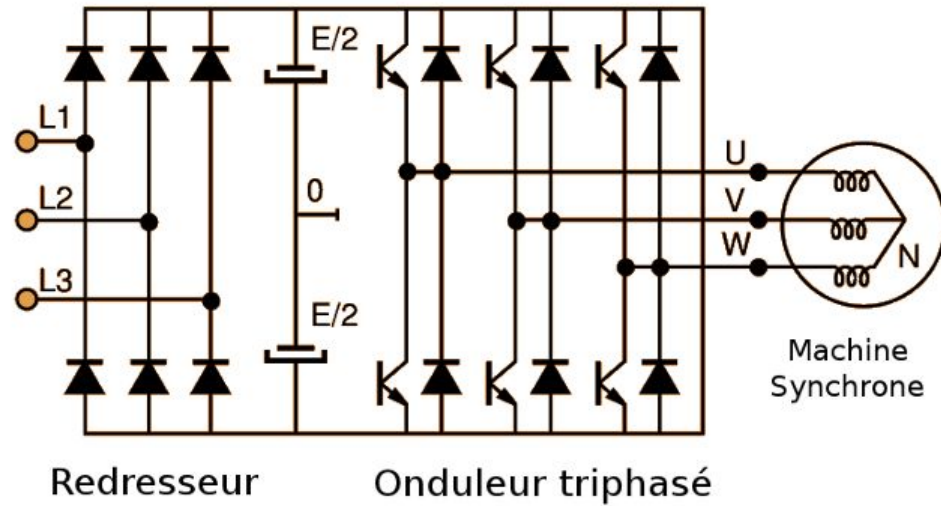
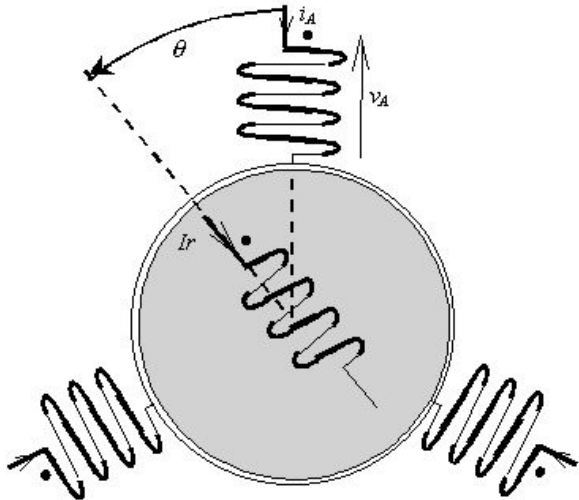
PROCESSEUR GÉNÉRALISTE

---

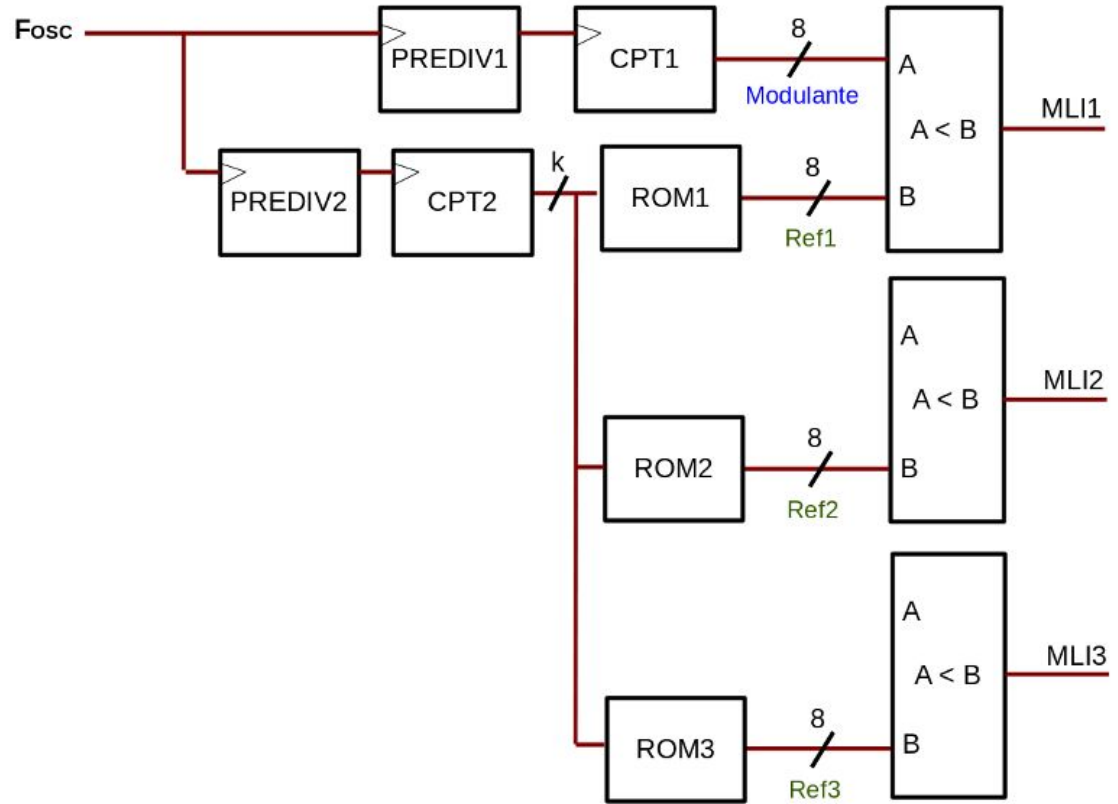
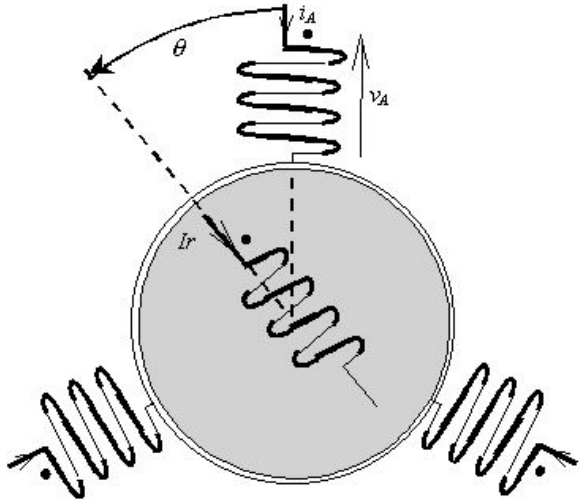
# COMMANDE MACHINE SYNC/ASYNC



# COMMANDE MACHINE SYNC/ASync

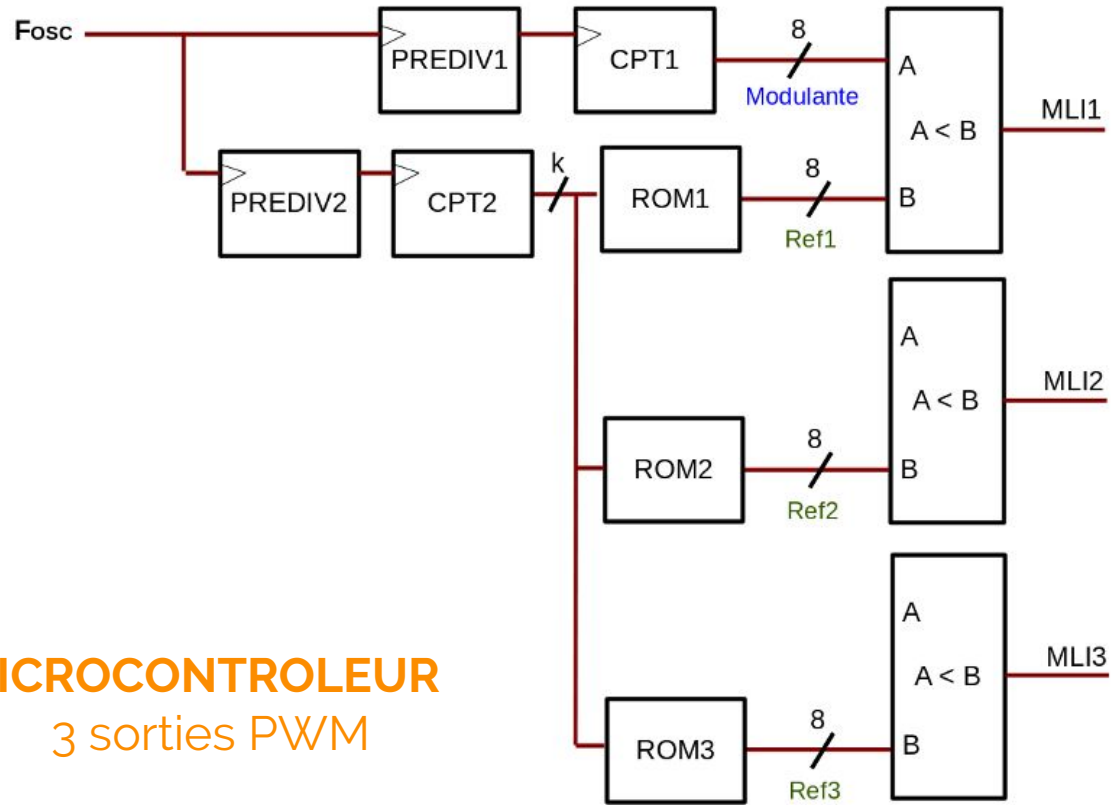
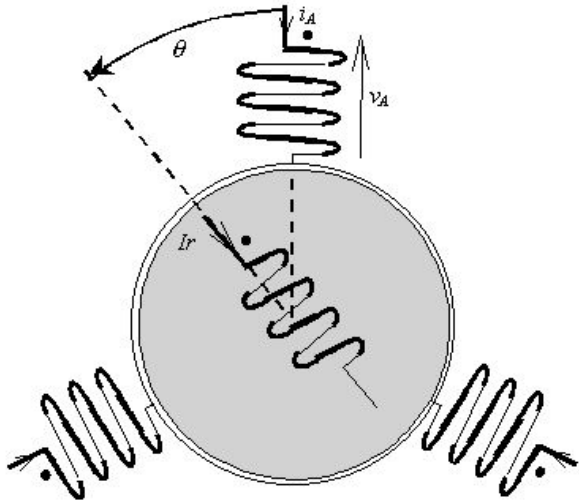


# COMMANDE MACHINE SYNC/ASYNC



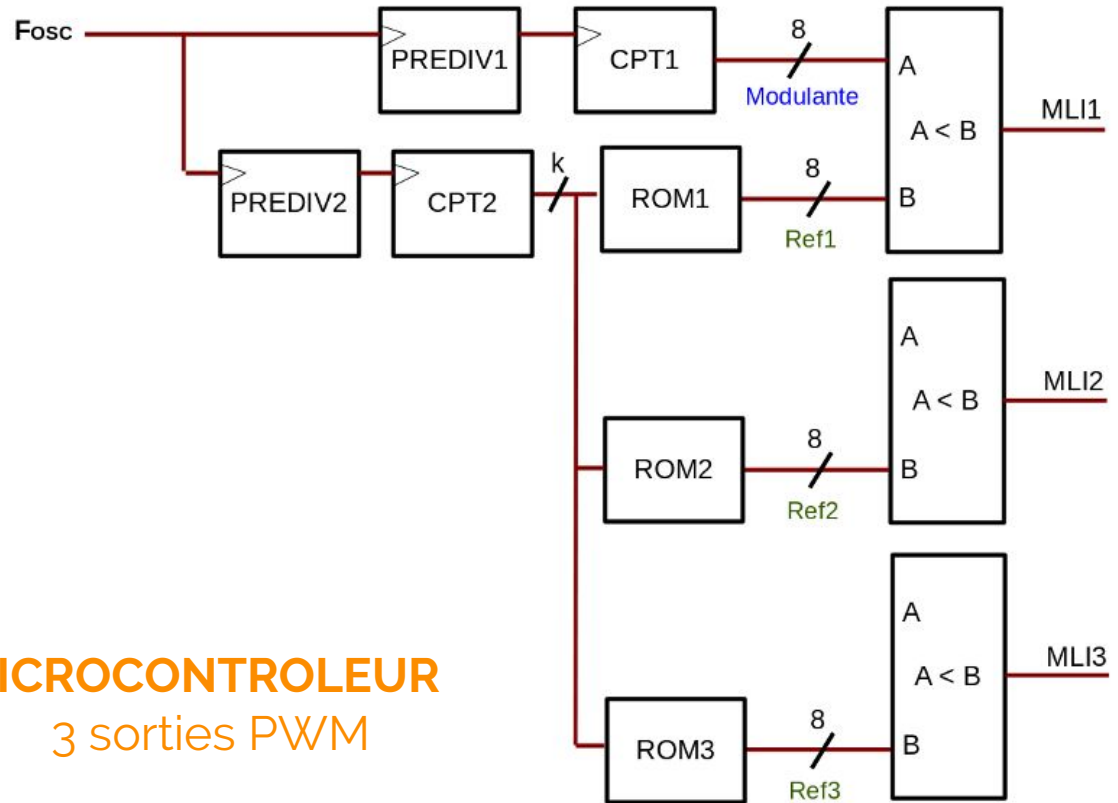
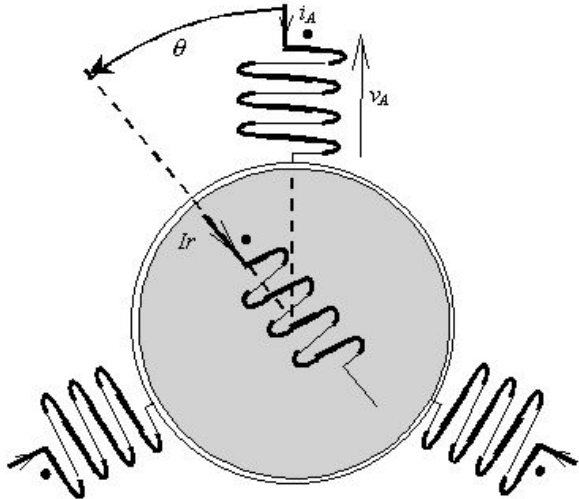


# COMMANDE MACHINE SYNC/ASYNC



**MICROCONTROLEUR**  
3 sorties PWM

# COMMANDE MACHINE SYNC/ASYNC



**MICROCONTROLEUR**  
3 sorties PWM

**FPGA** (parallélisation)



---

# VOITURE AUTONOME

# VOITURE AUTONOME




CES 2014

## Sensors

Ensuring Reliable Networks **TTTech**



	<b>Long-Range-Radar (LRR 4)</b>
	<b>Video Camera</b>
	<b>Top view Camera</b>
	<b>Middle-Range-Radar (MRR)</b>
	<b>Ultra Sonic</b>
	<b>Laser Scanner</b>
	<b>Predictive Map Data Car2x Connectivity</b>

# VOITURE AUTONOME



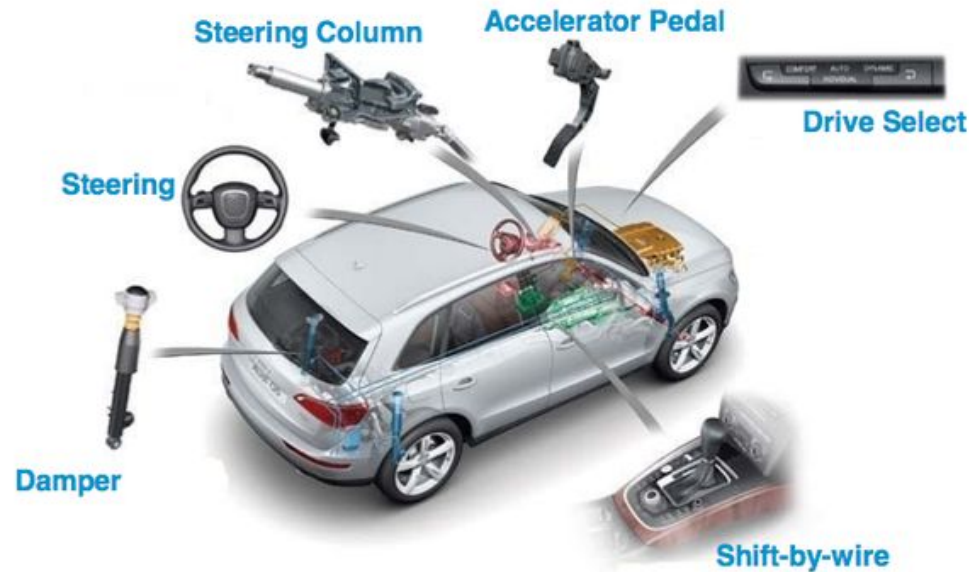
CES 2014

## Actuators

Ensuring Reliable Networks **TTTech**

### Necessary Actuators for Automated Driving

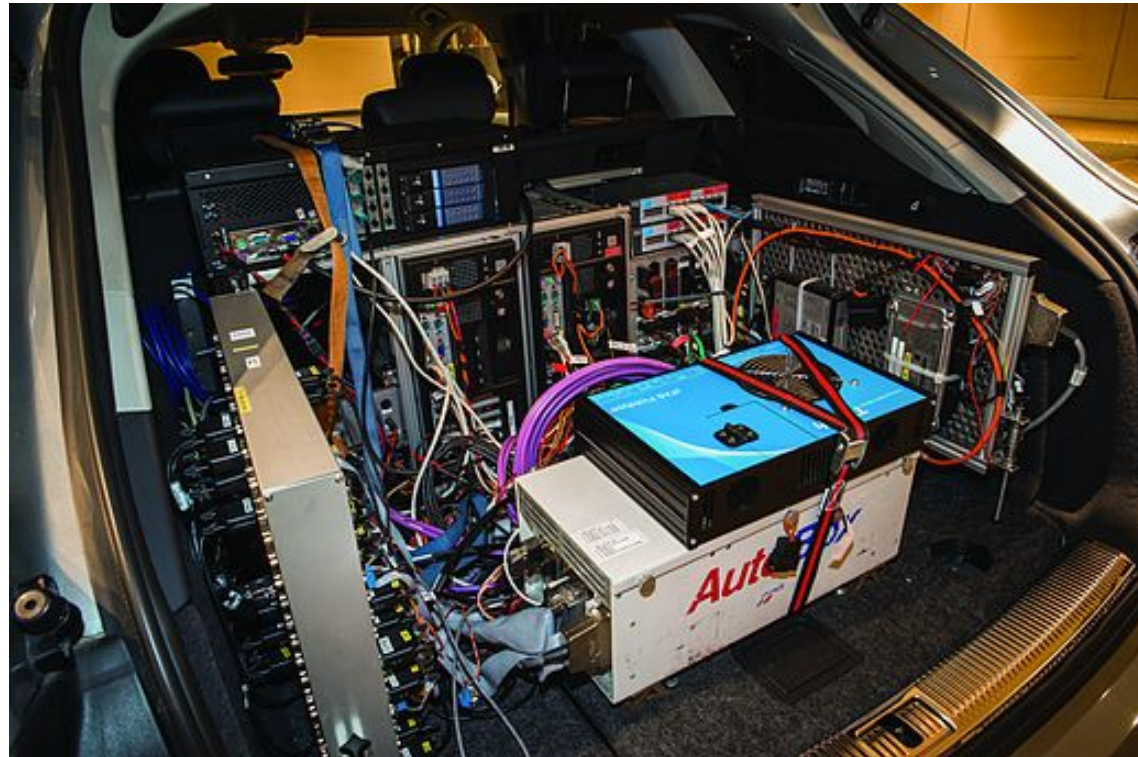
- |                                       |                                  |
|---------------------------------------|----------------------------------|
| ▶ <b>Electronic Stability Control</b> | ▶ <b>Powertrain Coordination</b> |
| ▶ <b>Hold management system</b>       | ▶ <b>Shift-by-Wire</b>           |
| ▶ <b>Deceleration management</b>      | ▶ <b>Electric Power Steering</b> |



# VOITURE AUTONOME



CES 2014



DSPs

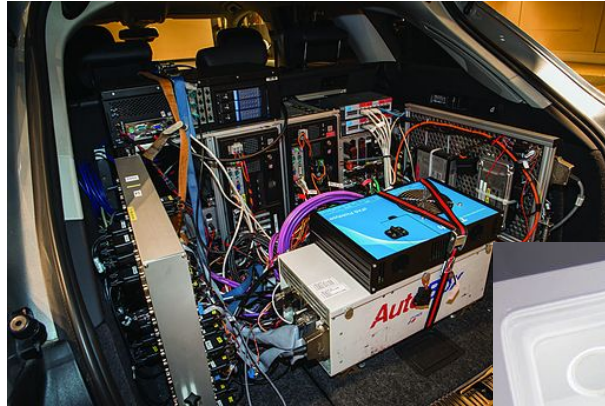
1 processeur par capteur



# VOITURE AUTONOME



CES 2014



**DSPs**

1 processeur par capteur

**FPGA** (*Altera / Intel*)

Parallélisation des calculs

# VOITURE AUTONOME

## Altera: Automotive Vision System Design Variables and FPGA Advantages

Design Challenges	System Variables	FPGA Advantages
Data acquisition	Different camera sensor resolutions, frame rates; different types of sensors required (radar, laser, video). No standard way to communicate data into car network.	Customized sensor interfaces and intellectual property (IP) cores to enable connectivity to any automotive network standard.
Data processing	Varying image processing algorithms for image correction and video analytics. Stitching multiple camera data into a 360° image. Fusing multiple types of sensor data. Real-time processing requirements.	Ability to implement customized algorithms in hardware and software for video and image processing.
Communications	Different communication standards for audio/video data, such as media-oriented system transport (MOST), Ethernet, and LVDS. Need to connect all systems together in a single low-cost system bus.	Ability to design the exact type and number of communications interfaces needed for your advanced driver assistance systems (ADAS) application.

### DSPs

1 processeur par capteur

### FPGA (Altera / Intel)

Parallélisation des calculs



**Audi**

**CES 2014**

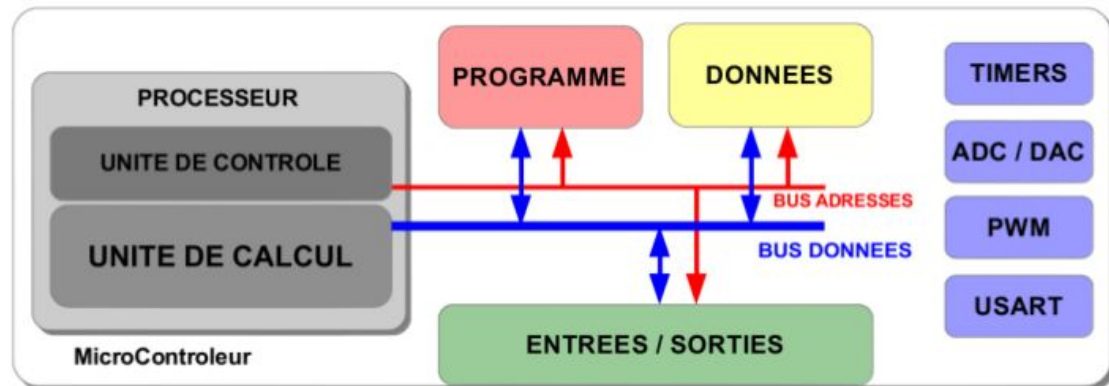
# Syst. Embarqués

## Mémoires / Données

JULIEN VILLEMEJANE

# MÉMOIRES INFORMATIQUES

## MICROCONTROLEUR



- **Processeur**

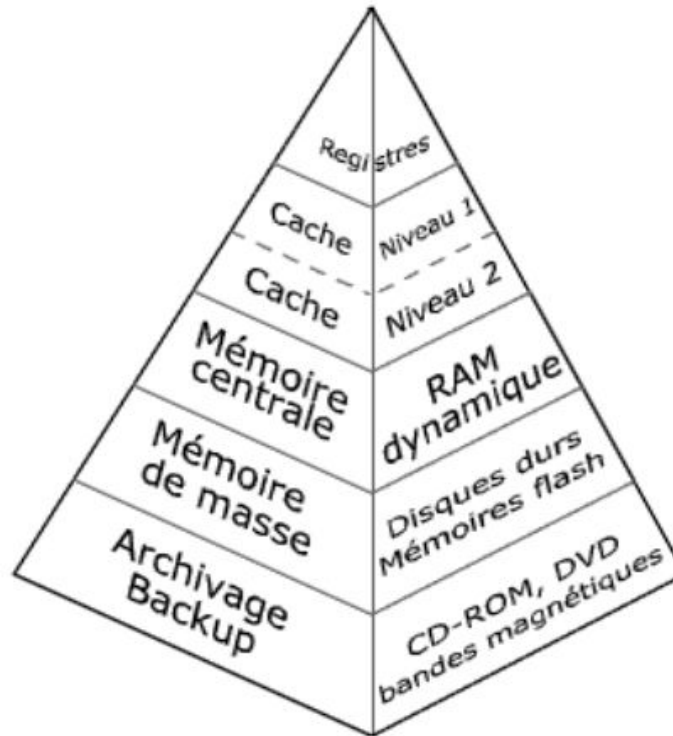
- ▶ Unité de calcul
- ▶ Unité de contrôle
- ▶ Registres de contrôle
- ▶ Gestion d'horloge

- Mémoire programme
- Mémoire données
- Entrées-Sorties
- Autres périphériques / modules

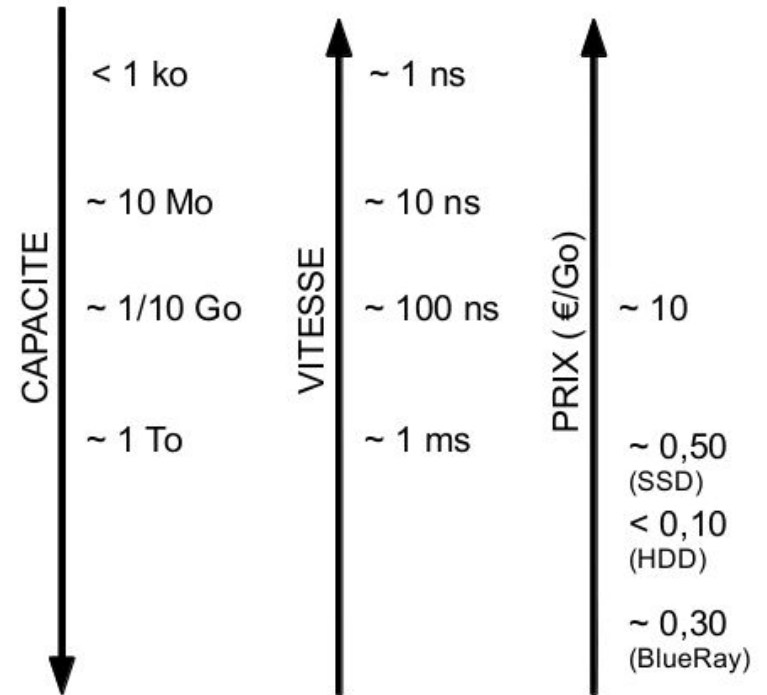


# MÉMOIRES INFORMATIQUES

## EN INFORMATIQUE



<http://www.courstechinfo.be/>



# MÉMOIRES INFORMATIQUES

## DÉFINITION ET CLASSEMENT



### Mémoire

- Dispositif capable d'**enregistrer**, de **conserver** et de **restituer** des informations
- Informations binaires pour un ordinateur

### Classement des mémoires

- Caractéristiques : capacité, débit, vitesse d'accès ...
- Type d'accès : séquentiel ou direct
- Durée de vie de l'information : volatile ou non-volatile

# MÉMOIRES INFORMATIQUES

CMOS LSI



EXEMPLE

LC371100SP, SM, ST-10/20LV

1 MEG (131072 words × 8 bits) Mask ROM  
Internal Clocked Silicon Gate

Preliminary

## Overview

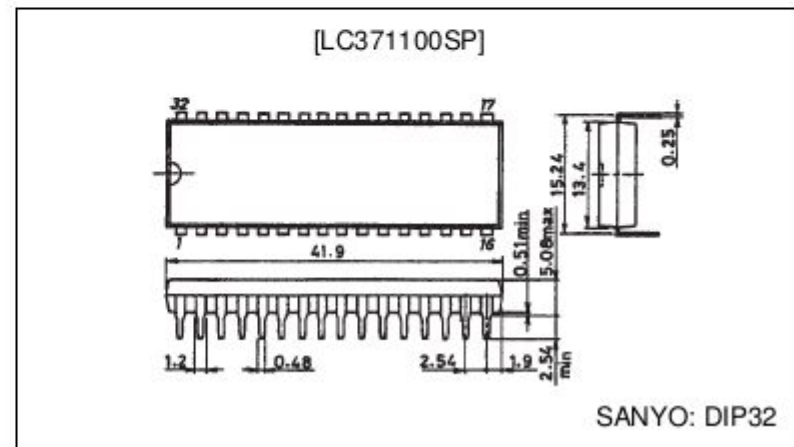
The LC371100SP, LC371100SM and LC371100ST are 131,072-word × 8-bit organization (1,048,576-bit) mask programmable read only memories.

The LC371100SP-10, LC371100SM-10 and LC371100ST-10 feature an access time of 100 ns, an OE access time of 40 ns, and a standby current of 30 μA, and are optimal for use in 5-V systems that require high-speed access.

## Package Dimensions

unit: mm

3192-DIP32



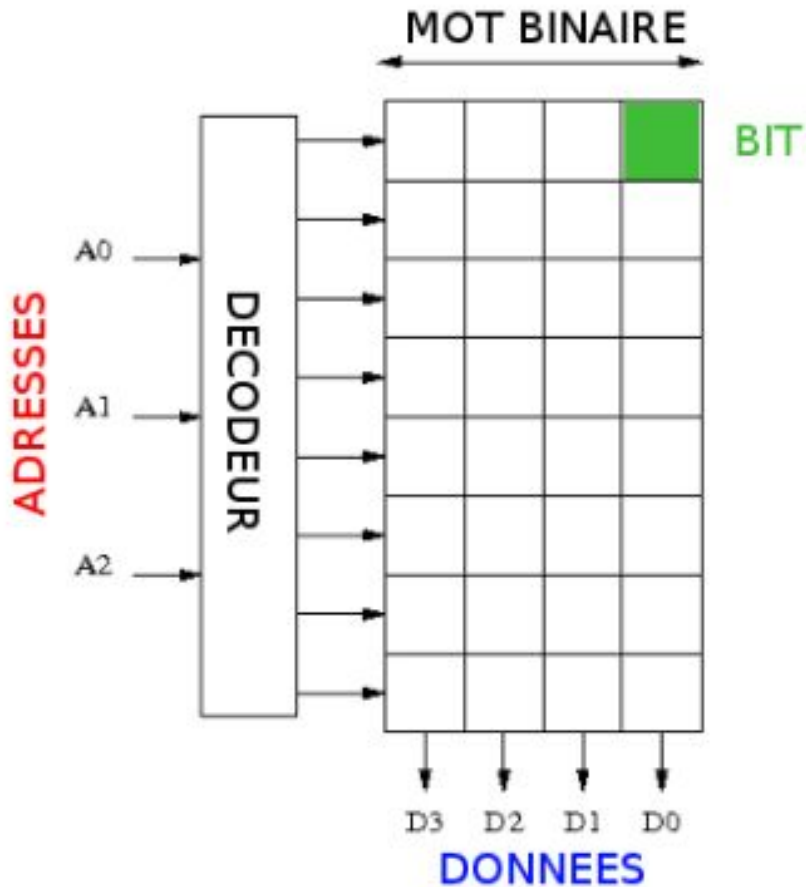
---

# MÉMOIRES INFORMATIQUES

## QU'EST-CE QU'UNE MÉMOIRE ?

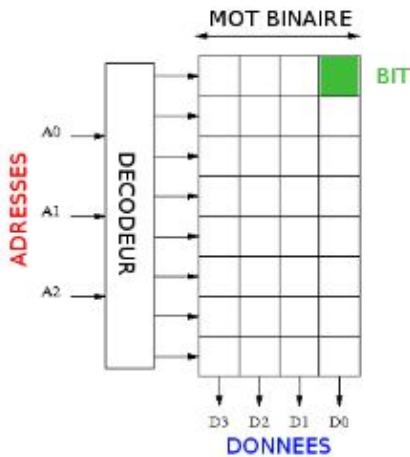
# MÉMOIRES INFORMATIQUES

## QU'EST-CE QU'UNE MÉMOIRE ?



# MÉMOIRES INFORMATIQUES

## QU'EST-CE QU'UNE MÉMOIRE ?



Cellule mémoire élémentaire

Le **BIT** : plus petit élément de stockage

Regroupement de bits

**Quartet / Nibble** : groupe de 4 bits

**Octet / Byte** : groupe de 8 bits

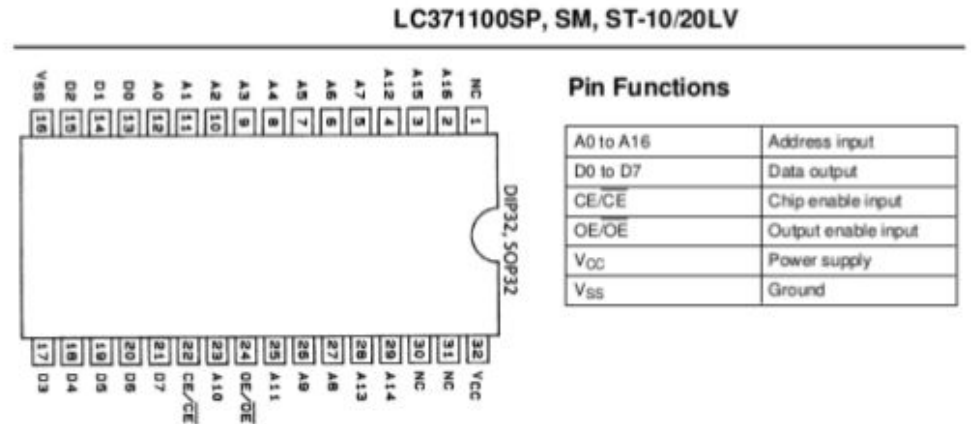
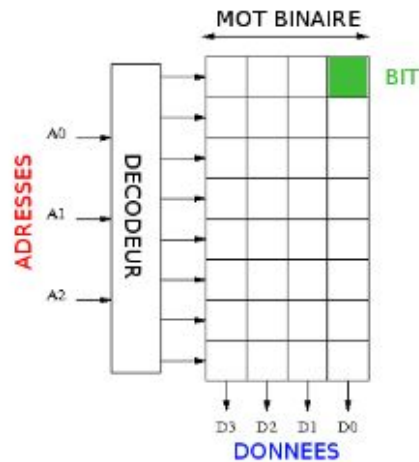
Mot binaire

**Mot / Word** : groupement d'octets (1, 2, 4, 8 octets)

Unité d'information adressable en mémoire

# MÉMOIRES INFORMATIQUES

## QU'EST-CE QU'UNE MÉMOIRE ?



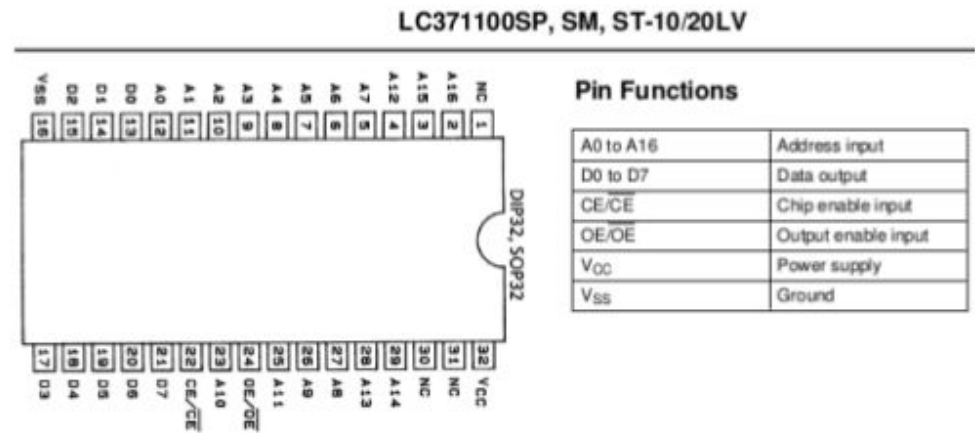
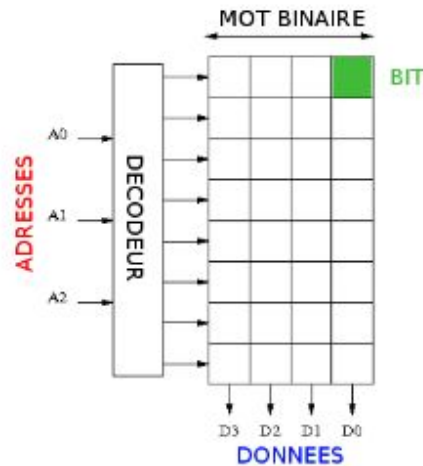
### Caractéristiques

- Taille d'un mot ( $W_M$ ) = **8 bits** ou 1 octet
- Nombre de fil d'adresses = **17**
- Nombre d'adresses ( $C_M$ ) =  $2^{17} = 131\ 072$  mots



# MÉMOIRES INFORMATIQUES

## CAPACITÉ D'UNE MÉMOIRE



### Caractéristiques

- Taille d'un mot ( $W_M$ ) = **8 bits** ou 1 octet
- Nombre d'adresses ( $C_M$ ) =  $2^{17} = 2^7 \cdot 2^{10} = \mathbf{128\ k}$
- Désignation standard = 128k × 8
- Capacité en bits ( $C_B$ ) =  $2^{17} \cdot 8 = 1\ 048\ 576\ \text{bits} = 1\ \text{Mbits}$
- Capacité en octets ( $C_O$ ) =  $2^{17} \cdot 8/8 = 131\ 072\ \text{octets} = 128\ \text{ko}$

---

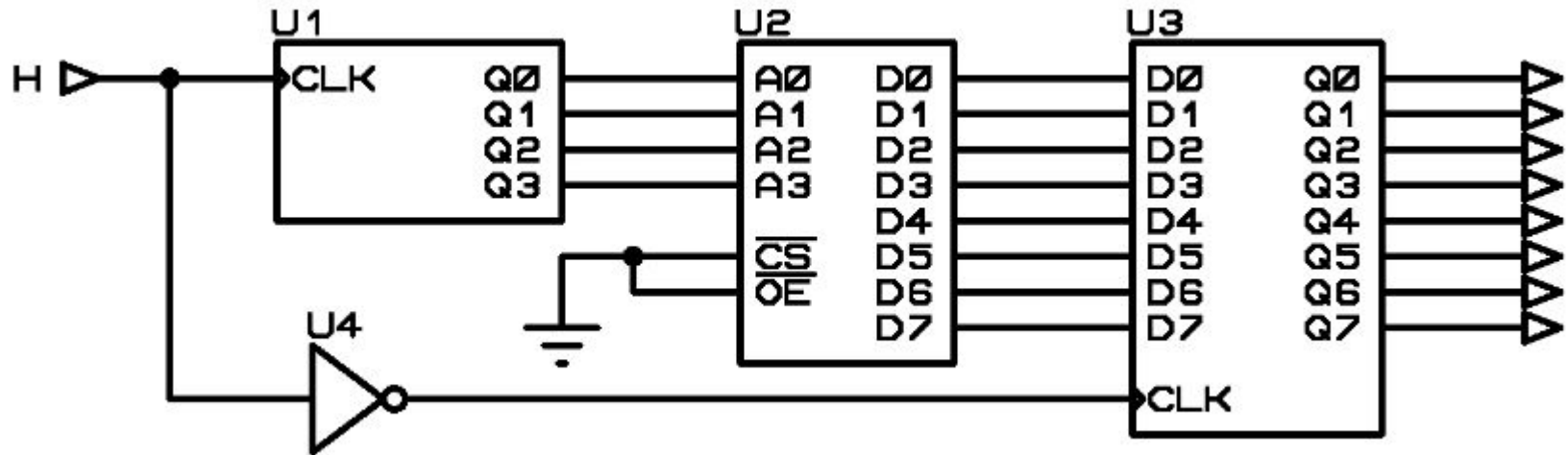
# MÉMOIRES INFORMATIQUES

## CAPACITÉ D'UNE MÉMOIRE / EXERCICE

Désignation Désignation	Capacité octets	Capacité en bits	Taille d'un mot	Nombre de fils d'adresse
<b>8k x 32</b>				
	<b>8 Mo</b>		<b>16</b>	

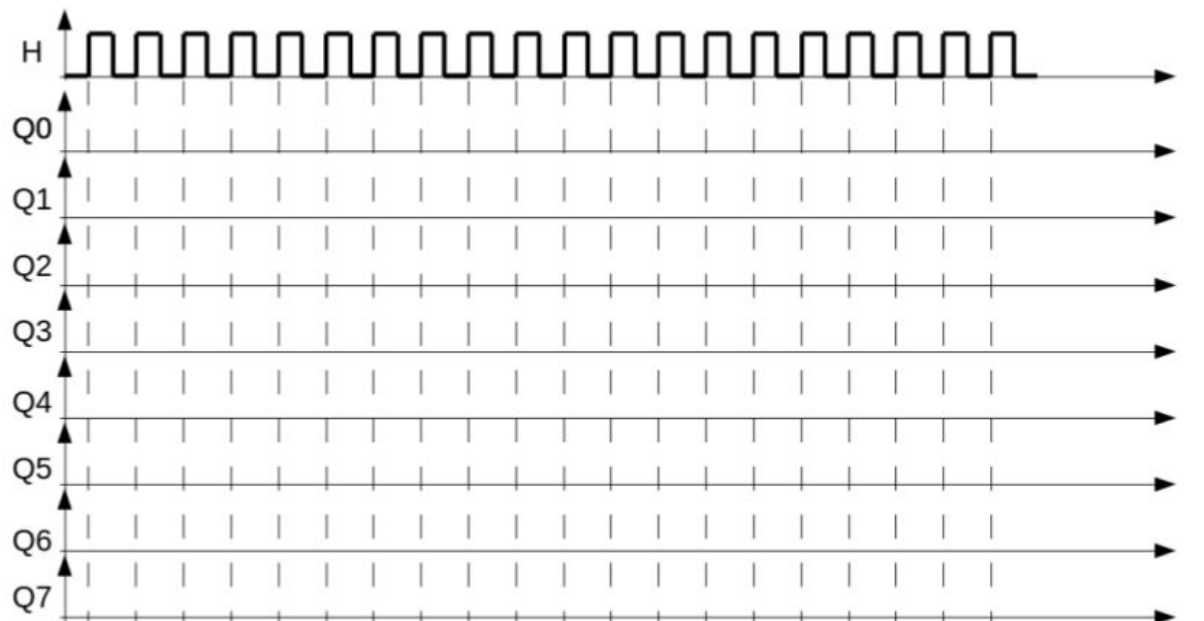
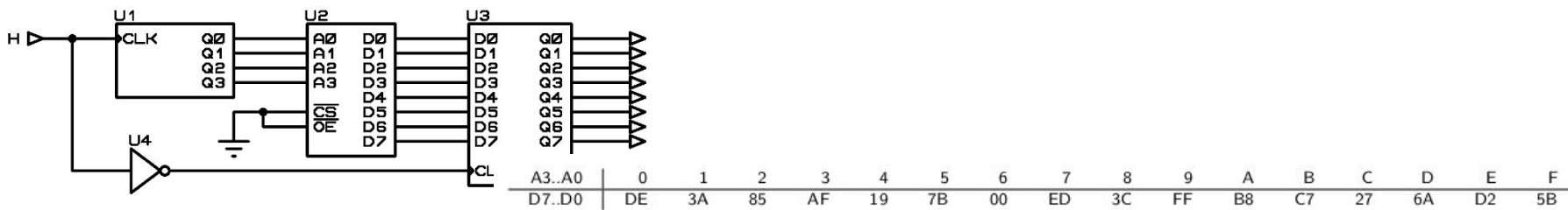
# MÉMOIRES INFORMATIQUES

## UTILISATION D'UNE MÉMOIRE / EXERCICE



# MÉMOIRES INFORMATIQUES

## UTILISATION D'UNE MÉMOIRE / EXERCICE



---

# MÉMOIRES INFORMATIQUES

## VOLATILITÉ D'UNE MÉMOIRE

### Volatilité

Capacité de **réten**tion des informations en l'absence d'alimentation.

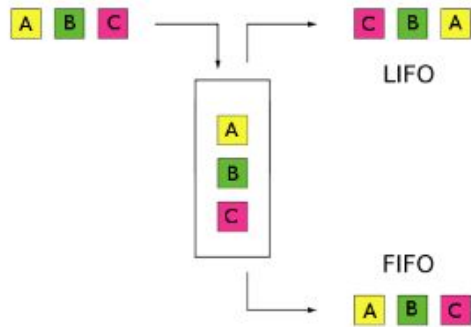
Il existe deux sortes de mémoire :

- mémoires **volatiles** : perdant leurs informations dès que la source d'énergie est supprimée (appelées également RAM)
- mémoires **non-volatiles** : gardant leurs informations même sans courant (appelées également ROM)

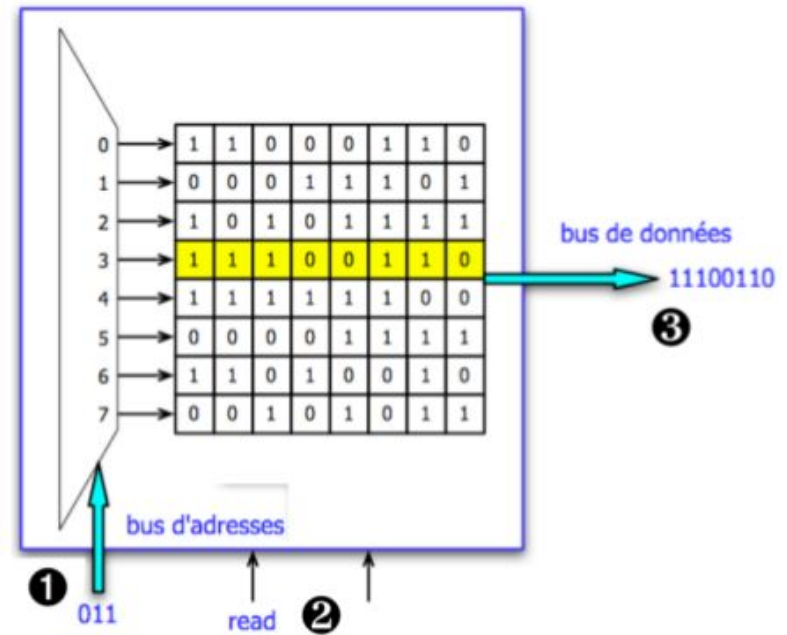
# MÉMOIRES INFORMATIQUES

## MÉTHODE D'ACCÈS

- accès **séquentiel**



- accès **direct** (ou aléatoire)



# MÉMOIRES INFORMATIQUES

## DÉCODAGE D'ADRESSES

Soit un boîtier de  $128k \times 16 \text{ bits}$

Combien de fils d'adressage ? Combien de sorties pour le décodeur ?



---

# MÉMOIRES INFORMATIQUES

## DÉCODAGE D'ADRESSES

Soit un boîtier de  $128k \times 16$  bits

Combien de fils d'adressage ? Combien de sorties pour le décodeur ?

*17 fils d'adressage ( $2^{17} = 128k$ ) - 131 072 sorties*

**Est-ce technologiquement possible ?**

# MÉMOIRES INFORMATIQUES

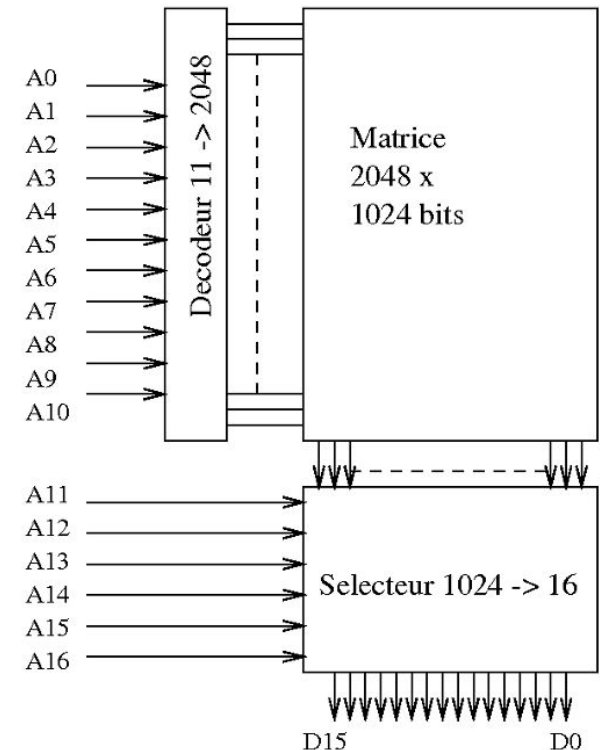
## DÉCODAGE D'ADRESSES

Soit un boîtier de  $128k \times 16$  bits

Combien de fils d'adressage ? Combien de sorties pour le décodeur ?

*17 fils d'adressage ( $2^{17} = 128k$ ) - 131 072 sorties*

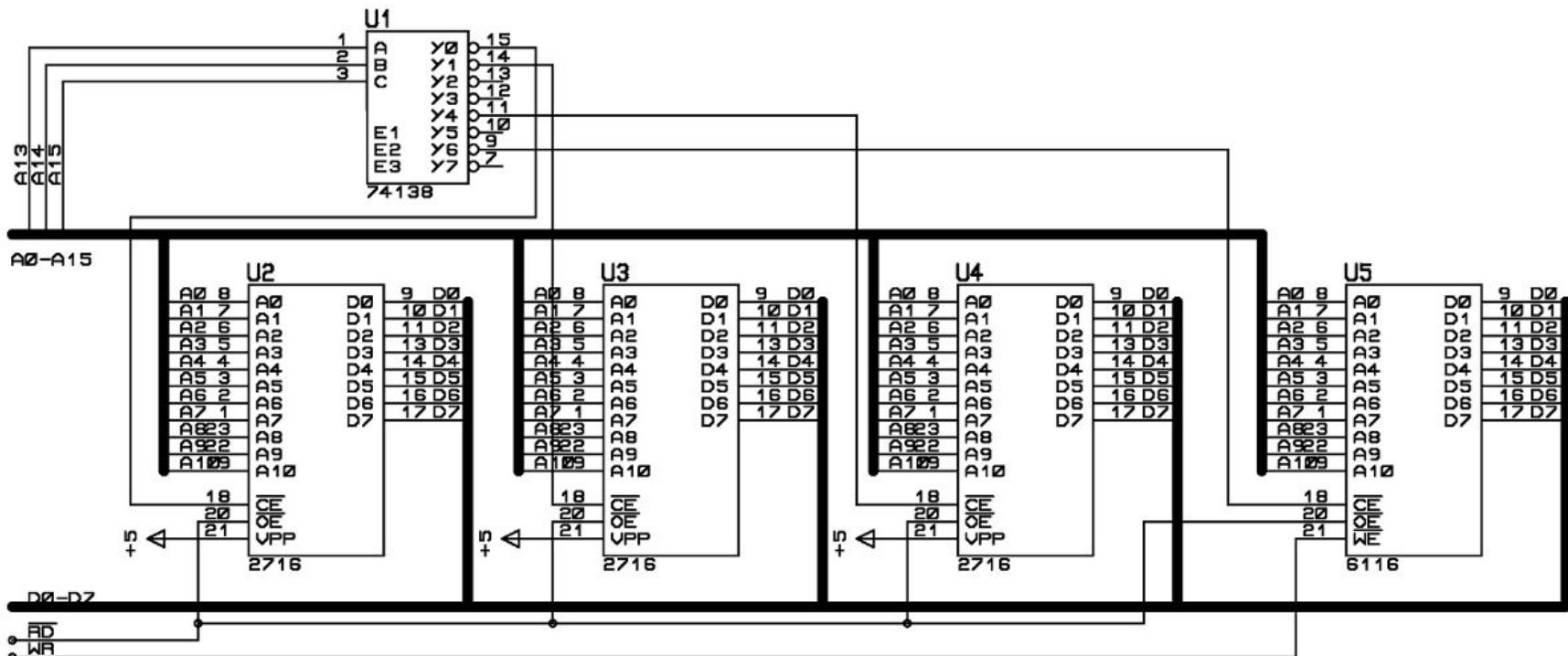
**Est-ce technologiquement possible ?**



# MÉMOIRES INFORMATIQUES

## DÉCODAGE / EXERCICES

- Comment obtenir une zone mémoire de 64K x 8 à partir d'éléments de 32K x 4 ?
- Déterminer les plages d'adressage de chacun des boîtiers



---

# MÉMOIRES INFORMATIQUES

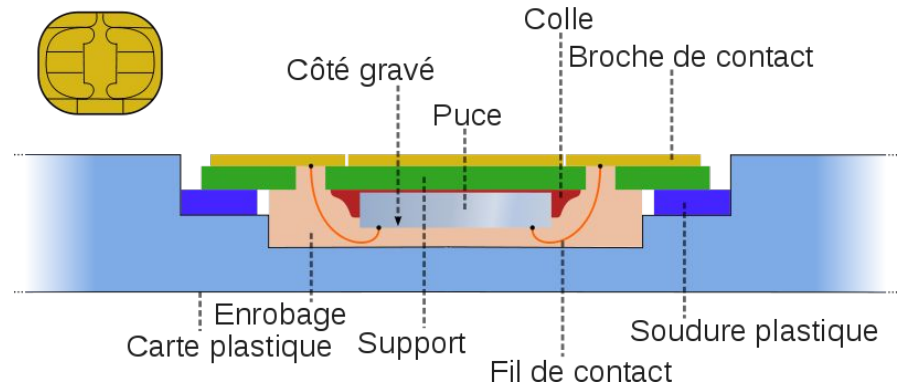
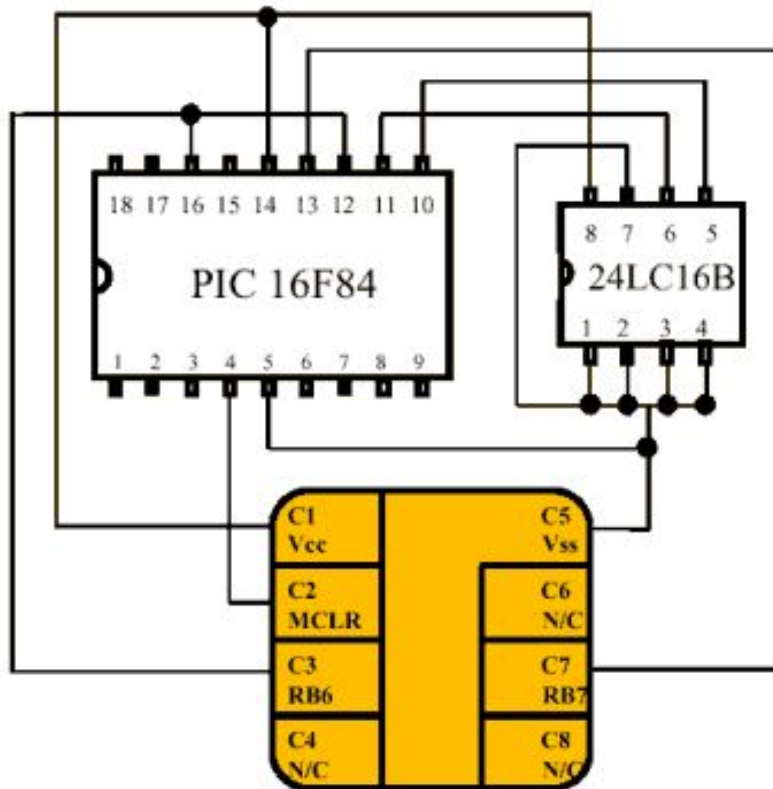
## DIFFERENTS TYPES

Il existe deux grands types de mémoire :

- **ROM** (*read-only memory*) : mémoire non volatile
  - ▶ **mask** : contenu initialisé à la fabrication et non modifiable
  - ▶ **PROM** (*programmable ROM*) ou **OTP ROM** (*one-time programmable*) : modifiable une fois par l'utilisateur, à l'aide d'un équipement spécialisé
  - ▶ **EPROM** (*erasable PROM*) : effaçable et modifiable plusieurs fois
    - **UV EPROM** : effaçable par rayons ultra-violets (plusieurs minutes)
    - **EEPROM** (electrically EPROM) ou **E2PROM** : effaçable électriquement (quelques millisecondes)
    - **Flash** : effaçable électriquement et plus rapidement que sur les EEPROM
- **RAM** (*random-access memory*) : mémoire volatile
  - ▶ **statique** (SRAM) : information conservée tant que la tension d'alimentation est présente
  - ▶ **dynamique** (DRAM) : rafraîchissement périodiquement des cellules mémoire

# MÉMOIRES INFORMATIQUES

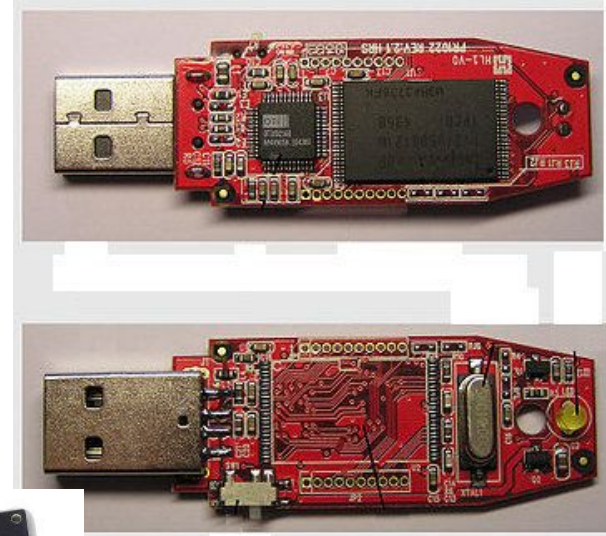
## FLASH ROM À ACCÈS SÉRIE





# MÉMOIRES INFORMATIQUES

## FLASH ROM





MICROCHIP

# 24C01SC/02SC

## 1K/2K 5.0V I<sup>2</sup>C Serial EEPROMs for Smart Cards

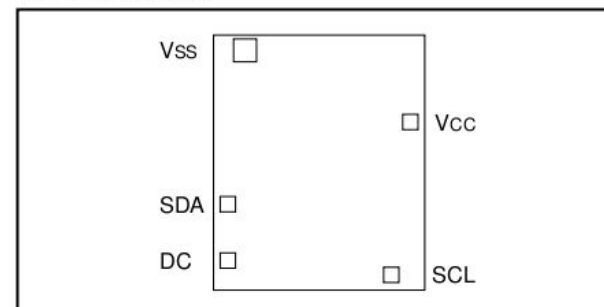
### FEATURES

- **ISO Standard 7816 pad locations**
- Low power CMOS technology
  - 1 mA active current typical
  - 10  $\mu$ A standby current typical at 5.5V
- Organized as a single block of 128 bytes (128 x 8) or 256 bytes (256 x 8)
- Two-wire serial interface bus, I<sup>2</sup>C™ compatible
- 100 kHz and 400 kHz compatibility
- Self-timed write cycle (including auto-erase)
- Page-write buffer for up to 8 bytes
- 2 ms typical write cycle time for page-write
- ESD protection > 4 kV
- 1,000,000 E/W cycles guaranteed
- Data retention > 200 years
- Available for extended temperature ranges
  - Commercial (C): 0°C to +70°C

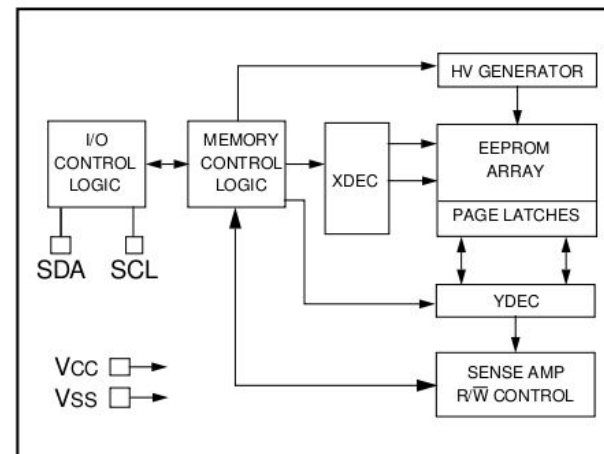
### DESCRIPTION

The Microchip Technology Inc. 24C01SC and 24C02SC are 1K-bit and 2K-bit Electrically Erasable PROMs with bondpad positions optimized for smart card applications. The devices are organized as a single block of 128 x 8-bit or 256 x 8-bit memory with a two-wire serial interface. The 24C01SC and 24C02SC also have page-write capability for up to 8 bytes of data.

### DIE LAYOUT



### BLOCK DIAGRAM





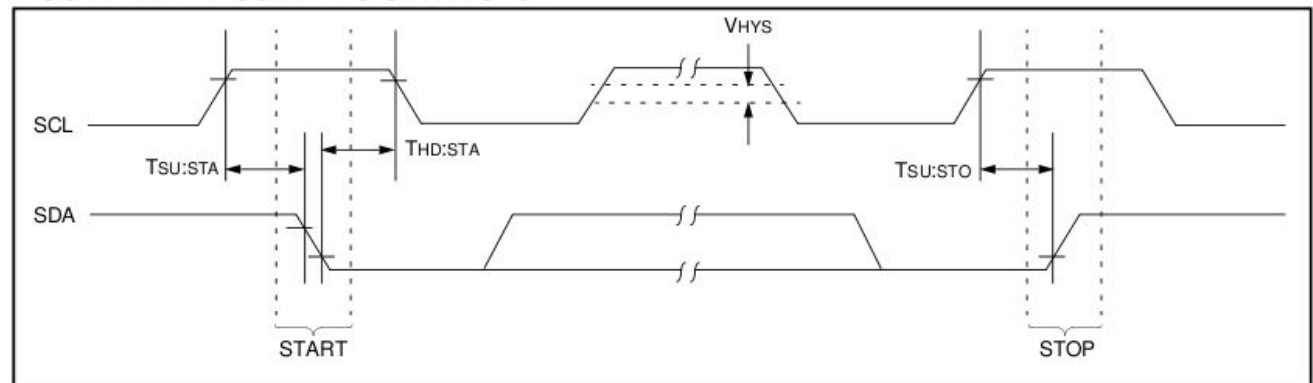
EXEMPLE

TABLE 1-2: DC CHARACTERISTICS

		VCC = +4.5V to +5.5V			Commercial (C): Tamb = 0°C to +70°C	
Parameter	Symbol	Min.	Max.	Units	Conditions	
SCL and SDA pads:						
High level input voltage	V <sub>IH</sub>	.7 V <sub>CC</sub>	—	—		
Low level input voltage	V <sub>IL</sub>	—	.3 V <sub>CC</sub>	V		
Hysteresis of Schmidt trigger inputs	V <sub>HYS</sub>	.05 V <sub>CC</sub>	—	V	(Note)	
Low level output voltage	V <sub>OL</sub>	—	.40	V	I <sub>OL</sub> = 3.0 mA, V <sub>CC</sub> = 4.5V	
Input leakage current (SCL)	I <sub>LI</sub>	-10	10	μA	V <sub>IN</sub> = .1V to 5.5V	
Output leakage current (SDA)	I <sub>LO</sub>	-10	10	μA	V <sub>OUT</sub> = .1V to 5.5V	
Pin capacitance (all inputs/outputs)	C <sub>IN</sub> , C <sub>OUT</sub>	—	10	pF	V <sub>CC</sub> = 5.0V (Note 1) Tamb = 25°C, F <sub>CLK</sub> = 1 MHz	
Operating current	I <sub>CC</sub> Write	—	3	mA	V <sub>CC</sub> = 5.5V	
	I <sub>CC</sub> Read	—	1	mA	V <sub>CC</sub> = 5.5V, SCL = 400 KHz	
Standby current	I <sub>CCS</sub>	—	100	μA	V <sub>CC</sub> = 5.5V, SDA = SCL = V <sub>CC</sub>	

Note: This parameter is periodically sampled and not 100% tested.

FIGURE 1-1: BUS TIMING START/STOP



EXEMPLE

TABLE 1-3: AC CHARACTERISTICS

Parameter	Symbol	Min.	Max.	Units	Remarks
Clock frequency	FCLK	—	400	kHz	
Clock high time	THIGH	600	—	ns	
Clock low time	TLOW	1300	—	ns	
SDA and SCL rise time	TR	—	300	ns	(Note 1)
SDA and SCL fall time	TF	—	300	ns	(Note 1)
START condition hold time	THD:STA	600	—	ns	After this period the first clock pulse is generated
START condition setup time	TSU:STA	600	—	ns	Only relevant for repeated START condition
Data input hold time	THD:DAT	0	—	ns	(Note 2)
Data input setup time	TSU:DAT	100	—	ns	
STOP condition setup time	TSU:STO	600	—	ns	
Output valid from clock	TAA	—	900	ns	(Note 2)
Bus free time	TBUF	1300	—	ns	Time the bus must be free before a new transmission can start
Output fall time from VIH minimum to VIL maximum	TOF	20 +0.1 CB	250	ns	(Note 1), CB ≤ 100 pF
Input filter spike suppression (SDA and SCL pins)	TSP	—	50	ns	(Note 3)
Write cycle time	TWR	—	10	ms	Byte or Page mode
Endurance	—	10 <sup>6</sup>	—	cycles	25°C, Vcc = 5V, Block Mode (Note 4)

EXEMPLE

FIGURE 7-1: CURRENT ADDRESS READ

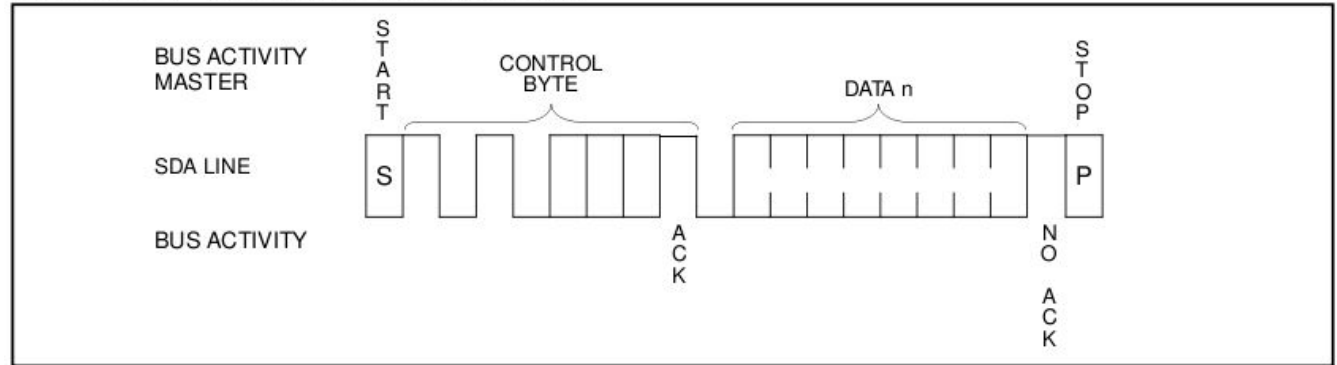


FIGURE 7-2: RANDOM READ

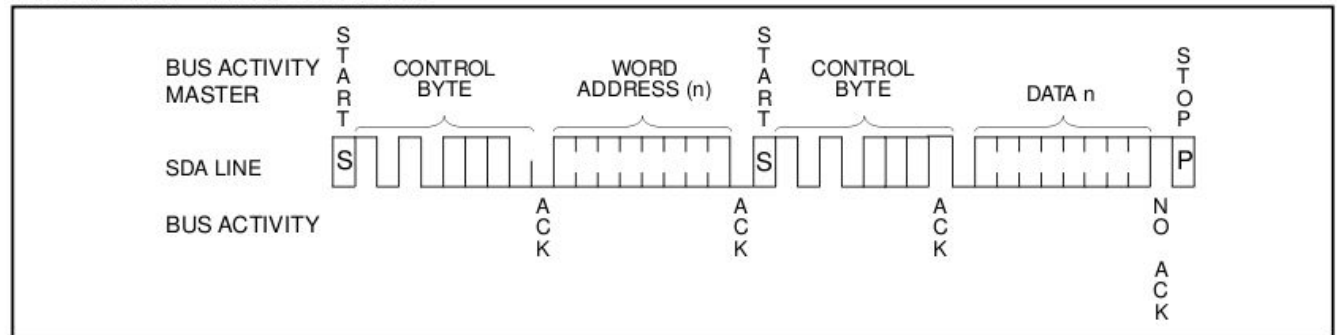
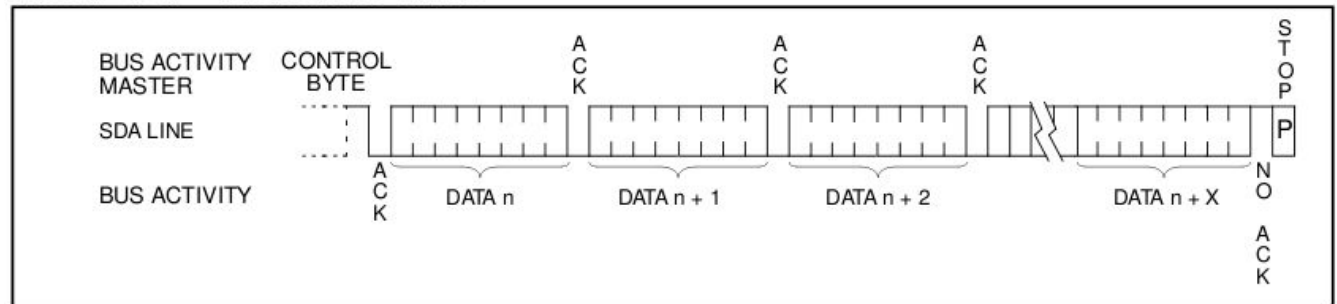


FIGURE 7-3: SEQUENTIAL READ



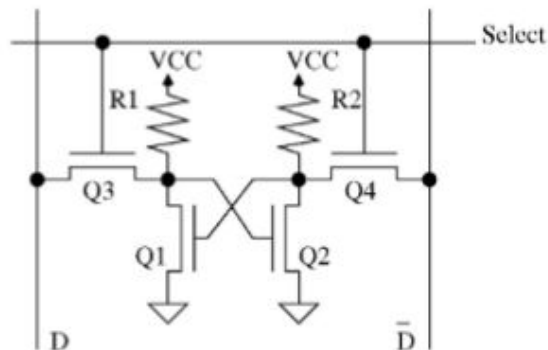
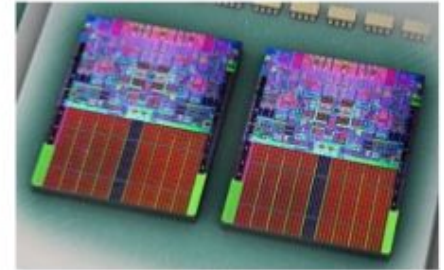
# MÉMOIRES INFORMATIQUES

## STATIC RAM

### SRAM

Mémoires statiques **volatiles** ne nécessitant **pas de rafraîchissement**

- Fonctionnement très rapide ( $< 100$  ns)
- Consommation assez élevée (50 à 80 mA)
- Faible capacité (16 kbits à plusieurs Mbits)



- Basé sur une bascule bistable  $RS$  ( $Q_1$  et  $Q_2$ )
- $R_1$  et  $R_2$  souvent remplacées par des transistors
- Au total : **6 composants**

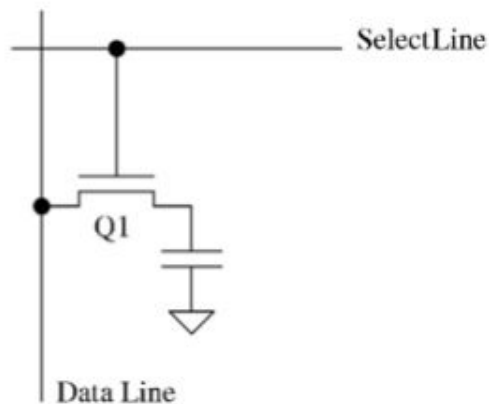
# MÉMOIRES INFORMATIQUES

## DYNAMIC RAM

### DRAM

Mémoires dynamiques **volatiles** nécessitant un **rafraîchissement**

- Fonctionnement un peu moins rapide
- Capacité moyenne (jusqu'à qq Gbits)



- Information mémorisée sous forme d'une charge électrique
- Un transistor et une capacité
- Au total : **2 composants**
- **RAFRAICHISSEMENT OBLIGATOIRE !!**
- **Gain de place !**
- **Augmentation du nombre de fils d'adressage !!**

---

# MÉMOIRES INFORMATIQUES

## VITESSE DE TRANSFERT

- ▶ Single Data Rate (SDR)
- ▶ Double Data Rate (DDR)
  - SDR : 1 Go/s (PC133)
  - DDR : 4.8 Go/s (PC4800)
  - DDR2 : 9.6 Go/s (PC9600)
  - DDR3-1800 : 14.4 Go/s (PC14400)

## VITESSE DE TRANSFERT / EXERCICE

- Quelle vitesse de transfert faudrait-il sur un bus série pour transmettre une vidéo en Full HD @ 30 fps ? 1920x1080
- Quelle vitesse de transfert faudrait-il sur un bus série pour transmettre une vidéo en DCI 4K @ 800 fps ?  
4 096 × 2 160

